

### 1. 简述

本电路是一款单路高压大电流电源调制电路，输入与输出为同向逻辑。本电路内部集成与门、驱动、PMOS 管、泄放和负电监测等功能，最大工作电压 10V，PMOS 管最大输出电流 1.2A。

### 2. 功能

#### 2.1 原理框图

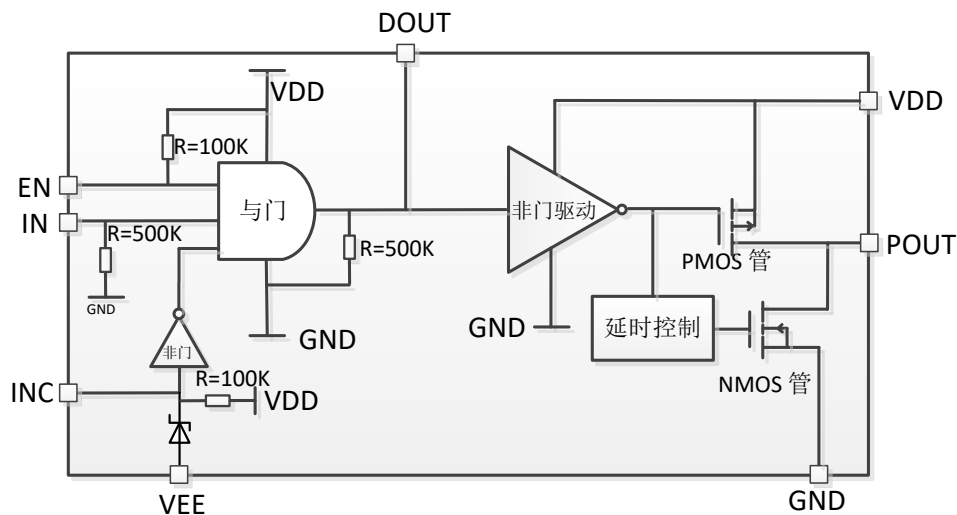


图 1 原理框图

#### 2.2 产品型号

表 1 产品型号对照表

产品型号	封装形式	质量等级	详细规范号
YPM14-2118SC1	裸芯片	企军标	ZG2118D-2023

### 3. 电性能

#### 3.1 绝对最大额定值

表 2 绝对最大额定值

参数	名称	最小值	最大值	单位
IN/EN	芯片控制信号输入引脚	-0.3	7	V
VDD	芯片电源	-0.3	12	V
VEE	负压监测端	-7	0.3	V
T <sub>J</sub>	芯片结温度	--	150	°C
T <sub>S</sub>	芯片贮存温度	-65	150	°C

### 3.2 电气特性 (T<sub>A</sub>=25°C)

表 3 电气特性

参数	名称	测试条件	最小值	典型值	最大值	单位
VDD	芯片供电电压		5	8	10	V
I <sub>S</sub>	芯片静态电流	VEE/IN/EN/DOUT/POUT 端悬空	--	1.0	2.0	mA
I <sub>DD</sub>	芯片动态电流	IN 输入 5V 的 TTL, f=100kHz, 输出 空载	--	1.5	2.0	mA
		IN 输入 5V 的 TTL, f=1MHz, 输出空 载	--	10	20	mA
I <sub>IHIN</sub>	IN 输入端漏电流	IN=5V	--	10	20	uA
I <sub>ILIN</sub>	IN 输入端漏电流	IN=0V	--	1	10	uA
I <sub>IHEN</sub>	EN 输入端漏电流	EN=5V	-50	-30	--	uA
I <sub>ILEN</sub>	EN 输入端漏电流	EN=0V	-100	-80	--	uA
V <sub>IL</sub>	IN/EN 输入低电平翻 转阈值		0.8	1.8	--	V
V <sub>IH</sub>	IN/EN 输入高电平翻 转阈值		--	2.2	3.0	V
V <sub>ILVEE</sub>	VEE 端口低电平翻转 阈值	INC 悬空	-4.3	-4.0	--	V
V <sub>IHVEE</sub>	VEE 端口高电平翻转 阈值	INC 悬空	--	-3.7	-3.2	V
I <sub>VEE</sub>	VEE 端口漏电流	VDD=8V, VEE=-5V	--	-240	--	uA
V <sub>OH</sub>	DOUT 端输出高电平 电压	C <sub>L</sub> =10pF, R <sub>L</sub> =10kΩ	4.7	4.8	--	V
V <sub>OLD</sub>	DOUT 端输出低电平 电压	C <sub>L</sub> =10pF, R <sub>L</sub> =10kΩ	--	0.1	0.2	V
TR_DOUT	DOUT 端输出上升沿	C <sub>L</sub> =10pF, R <sub>L</sub> =10kΩ	--	20	30	ns
TF_DOUT	DOUT 端输出下降沿	C <sub>L</sub> =10pF, R <sub>L</sub> =10kΩ	--	10	15	ns
TDR_DOUT	DOUT 端输入至输出 上升沿延时	C <sub>L</sub> =10pF, R <sub>L</sub> =10kΩ	--	25	40	ns

TDF_DOUT	DOUT 端输入至输出下降沿延时	$C_L=10\text{pF}, R_L=10\text{k}\Omega$	--	25	40	ns
$V_{\text{OHP}}$	POUT 端输出高电平电压	$V_{\text{DD}}=8\text{V}, R_L=12\Omega$	7.8	7.85	--	V
$R_{\text{OLN}}$	NMOS 管导通时的内阻	$I_{\text{N}}=I_{\text{EN}}=0\text{V}, I_{\text{OUT}}=-100\text{mA}$	--	4	8	$\Omega$
$T_{\text{R}}$	POUT 输出上升沿	$C_L=200\text{pF}, R_L=12\Omega$	--	20	30	ns
$T_{\text{F}}$	POUT 输出下降沿	$C_L=200\text{pF}, R_L=12\Omega$	--	10	20	ns
$T_{\text{DR}}$	POUT 端输入至输出上升沿延时	$C_L=200\text{pF}, R_L=12\Omega$	--	28	40	ns
$T_{\text{DF}}$	POUT 端输入至输出下降沿延时	$C_L=200\text{pF}, R_L=12\Omega$	--	25	35	ns
$T_{\text{DR\_VEE}}$	VEE 端输入至输出上升沿延时	$C_L=200\text{pF}, R_L=12\Omega$	--	420	500	nS
$T_{\text{DF\_VEE}}$	VEE 端输入至输出下降沿延时	$C_L=200\text{pF}, R_L=12\Omega$	--	60	100	nS

## 4. 裸芯片引脚及尺寸

### 4.1 裸芯片概貌图

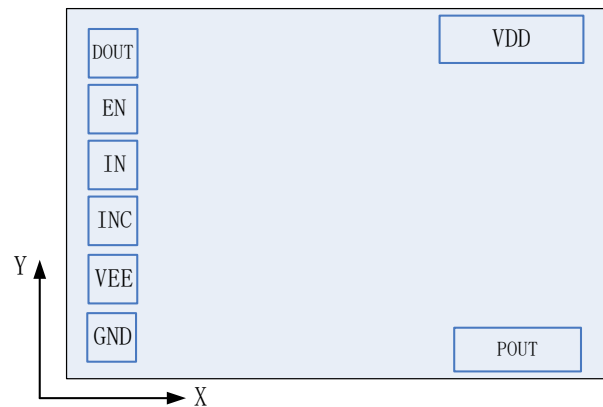


图 2 裸芯片概貌图

- 说明：1) 芯片不含划片槽尺寸  $X=1550\pm 30\mu\text{m}$ ,  $Y=950\pm 30\mu\text{m}$ ;  
 2) 芯片不含划片槽尺寸  $X=1590\pm 50\mu\text{m}$ ,  $Y=990\pm 50\mu\text{m}$ ;  
 3) 芯片厚度:  $200\pm 30\mu\text{m}$ ;  
 4) 划片槽尺寸:  $80\mu\text{m}$ ;  
 5) VDD/POUT 的 PAD 尺寸:  $90\mu\text{m}\times 250\mu\text{m}$ , 其余所有 PAD 尺寸:  $90\mu\text{m}\times 90\mu\text{m}$ ;  
 6) 键合方式: 建议采用  $25\mu\text{m}$  金丝球焊;  
 7) 芯片背面为硅, 电极为 GND, 建议用导电胶粘剂到 GND。

#### 4.2 裸芯片引脚定义

表 4 裸芯片引脚定义

序号	名称	PAD 中心坐标 (X, Y) (单位: um)	引脚说明
1	DOUT	(152, 830)	与门输出端口, 为后端其他数字芯片提供控制信号, 内部集成 500k $\Omega$ 下拉电阻, 不用时可悬空
2	EN	(152, 688)	与门输入端口, 内部集成 100k $\Omega$ 上拉电阻, 不用时可悬空
3	IN	(152, 546)	与门输入端口, 内部集成 500k $\Omega$ 下拉电阻
4	INC	(152, 404)	负电监测使能控制端口, 需要负电监测时该端口悬空, 不需要负电监测时, 该端口接 GND
5	VEE	(152, 262)	负电监测输入端, 接-5V, 不用时可悬空
6	GND	(152, 120)	芯片地
7	POUT	(980, 85)	PMOS 管的输出, 接负载
8	VDD	(980, 865)	芯片电源