

### 1. 简述

本电路是一款同步整流型电源转换电路，内部集成了低内阻的 NMOS 管，可以实现高效的电源转换。输出电压可根据外部电阻进行调节，最大可输出 3A 平均电流，最高转换效率为 95%，本电路通过内部采用频率抖动技术（Frequency Jitter），可以有效降低电路的电磁干扰。同时，本电路具有输出过压保护、输出过流保护和热保护功能。

### 2. 功能

#### 2.1 原理框图

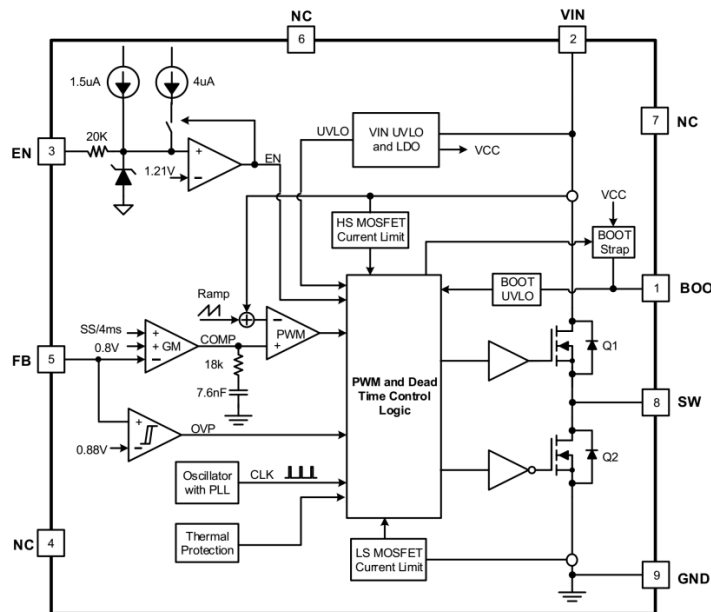


图 1 原理框图

#### 2.2 产品型号

表 1 产品型号对照表

产品型号	封装形式	质量等级	详细规范号
YPM07-1816SC1	裸芯片	企军标	ZG1816D-2018
YPM07-1816SC1P	塑封	企军标	ZG1816P-2018
YPM07-1816SC1P	塑封	工业级	ZG1816PI-2022

### 3. 电性能

#### 3.1 绝对最大额定值

表 2 绝对最大额定值

参数	名称	最小值	最大值	单位
BST	自举电容引脚	-0.3	45	V
V <sub>IN</sub>	芯片供电电源	-0.3	40	V
SW	芯片开关输出	-0.3	40	V
EN	芯片使能信号	-0.3	40	V
FB	芯片反馈引脚	-0.3	6	V
T <sub>s</sub>	芯片贮存温度	-65	150	°C

#### 3.2 电气特性 (T<sub>A</sub>=25°C)

表 3 电气特性

参数	名称	测试条件	最小值	典型值	最大值	单位
V <sub>IN</sub>	芯片供电电源		4		36	V
I <sub>OUT</sub>	最大输出电流		3			A
I <sub>q</sub>	芯片静态电流	EN 悬空, 输出空载		20	300	uA
V <sub>IL</sub>	EN 端输入低电平				0.8	V
V <sub>IH</sub>	EN 端输入高电平		2			V
R <sub>D,H</sub>	芯片内部上端电阻			60		mΩ
R <sub>D,L</sub>	芯片内部下端电阻			20		mΩ
I <sub>LIM</sub>	内部 MOS 管限流值		2.8	3	3.2	V
F <sub>SW</sub>	开关频率		360	400	440	kHz
t <sub>ss</sub>	软启动时间			4		mS
V <sub>OV</sub>	输出过压保护门限			110		%
ESD	人体模型		-2000	--	+2000	V
η	效率	V <sub>IN</sub> =28V V <sub>OUT</sub> =5V I <sub>OUT</sub> =2A		93		%
		V <sub>IN</sub> =28V V <sub>OUT</sub> =5V I <sub>OUT</sub> =1A		92		%
		V <sub>IN</sub> =28V V <sub>OUT</sub> =5V I <sub>OUT</sub> =0.5A		90		%
		V <sub>IN</sub> =28V V <sub>OUT</sub> =5V I <sub>OUT</sub> =0.1A		83		%

## 4. 裸芯片引脚及尺寸

### 4.1 裸芯片概貌图

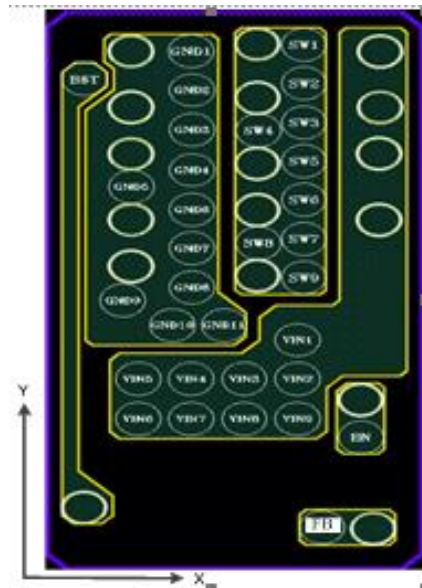


图 2 裸芯片概貌图

- 说明：
- 1) 裸芯片尺寸（不含划片槽）： $X=1160\mu\text{m} \pm 30\mu\text{m}$ ， $Y=2320\mu\text{m} \pm 30\mu\text{m}$ ；
  - 2) 裸芯片尺寸（含划片槽）： $X=1190\mu\text{m} \pm 50\mu\text{m}$ ， $Y=2350\mu\text{m} \pm 50\mu\text{m}$ ；
  - 3) 芯片厚度： $300\mu\text{m} \pm 30\mu\text{m}$ ；
  - 4) PAD 尺寸： $135\mu\text{m} \times 135\mu\text{m}$ ；PAD 表面材料：铜镀金；PAD 下方有电路；
  - 5) 划片槽尺寸： $60\mu\text{m}$ ；
  - 6) 芯片衬底建议悬空，建议采用粘接方式与基板相连。
  - 7) 未标字母和数字的 PAD 不能打线。

### 4.2 裸芯片引脚定义

表 4 裸芯片引脚定义

序号	名称	PAD 中心坐标 (单位： $\mu\text{m}$ )	引脚说明
1	BST	$X=118, Y=2020$	自举电容引脚, 建议接 0.1 $\mu\text{F}$ 陶瓷电容到 SW 端  接地引脚, 内部连通的, 根据实际电流大小选择键合数量, 至少键合 1 根
2	GND1	$X=440, Y=2136$	
3	GND2	$X=440, Y=1976$	
4	GND3	$X=440, Y=1812$	
5	GND4	$X=440, Y=1647$	
6	GND5	$X=260, Y=1578$	
7	GND6	$X=440, Y=1484$	
8	GND7	$X=440, Y=1324$	
9	GND8	$X=440, Y=1164$	

10	GND9	X=234, Y=1110	
11	GND10	X=375, Y=1008	
12	GND11	X=535, Y=1008	
13	SW1	X=778, Y=2162	开关输出引脚，内部连通的，根据实际电流大小选择键合数量，至少键合 1 根
14	SW2	X=778, Y=2002	
15	SW3	X=778, Y=1842	
16	SW4	X=642, Y=1810	
17	SW5	X=778, Y=1682	
18	SW6	X=778, Y=1524	
19	SW7	X=778, Y=1364	
20	SW8	X=642, Y=1346	
21	SW9	X=778, Y=1204	
14	VIN1	X=760, Y=947	1) 电源输入引脚，内部连通的，根据实际电流大小选择键合数量，至少键合 1 根； 2) 务必在芯片附近到地接 0.1uF 和 10uF 的陶瓷电容，作为旁路电容。
15	VIN2	X=760, Y=786	
16	VIN3	X=600, Y=786	
17	VIN4	X=440, Y=786	
18	VIN5	X=280, Y=786	
19	VIN6	X=280, Y=622	
20	VIN7	X=440, Y=622	
21	VIN8	X=600, Y=622	
22	VIN9	X=760, Y=622	
23	EN	X=950, Y=546	芯片使能引脚，高电平有效，悬空时芯片可正常工作
24	FB	X=832, Y=174	反馈引脚，通过外部的 R1 和 R2 调节输出电压， $V_{OUT}=0.8V*(1+R1/R2)$

## 5. 塑封电路引脚定义

电路采用 ESOP-8 封装。

### 5.1 塑封电路引脚说明

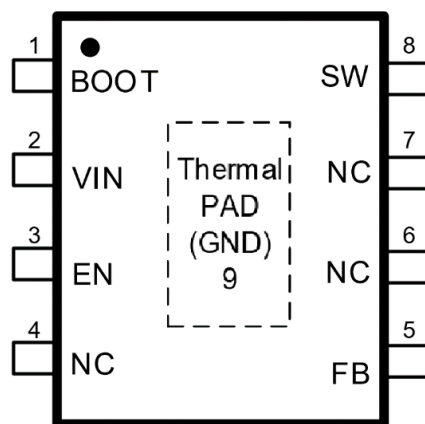


图 3 电路外形图

表 5 塑封电路引脚说明

序号	名称	引脚说明
1	BST	自举电容引脚, 建议接 0.1uF 陶瓷电容到 SW 端
2	VIN	电源输入引脚, 务必在芯片附近到地接 0.1uf 和 10uf 的陶瓷电容, 作为旁路电容。
3	EN	芯片使能引脚, 高电平有效, 悬空时芯片可正常工作, 低电平芯片处于关断模式
4	NC	悬空
5	FB	反馈引脚, 通过外部的 R1 和 R2 调节输出电压
6	NC	悬空
7	NC	悬空
8	SW	开关输出引脚
9	GND	接地和散热

## 5.2 塑封电路尺寸

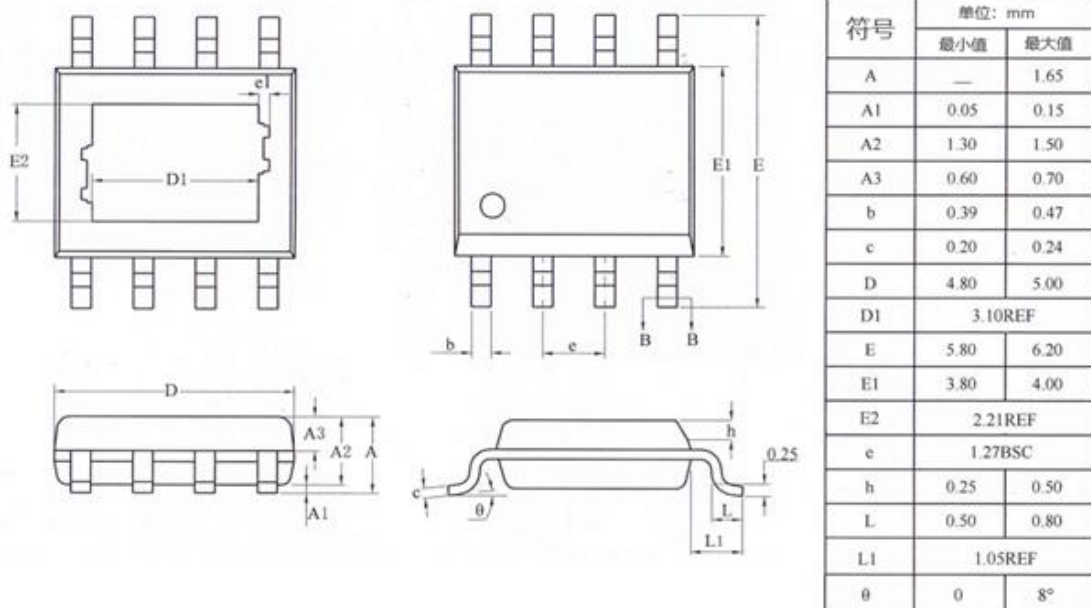


图 4 电路尺寸图

## 6. 典型应用

### 6.1 正压转正压型降压输出（典型应用 1）

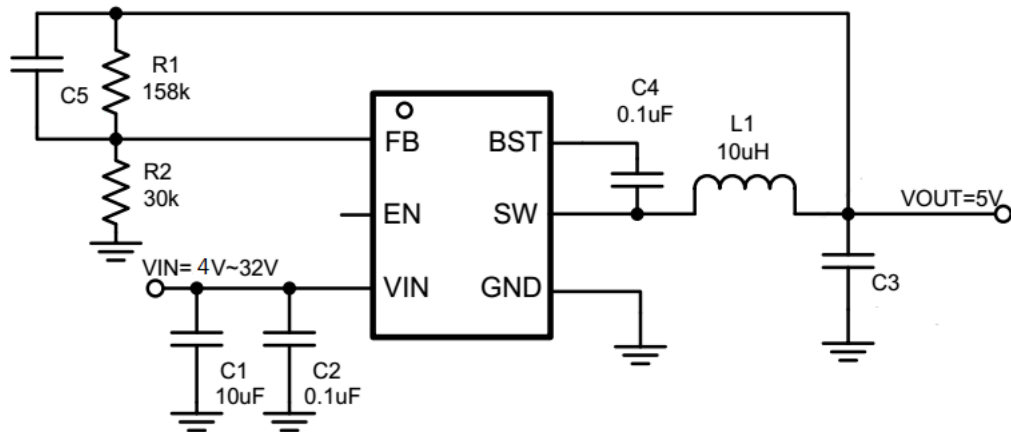


图 5 正压输出的典型应用图

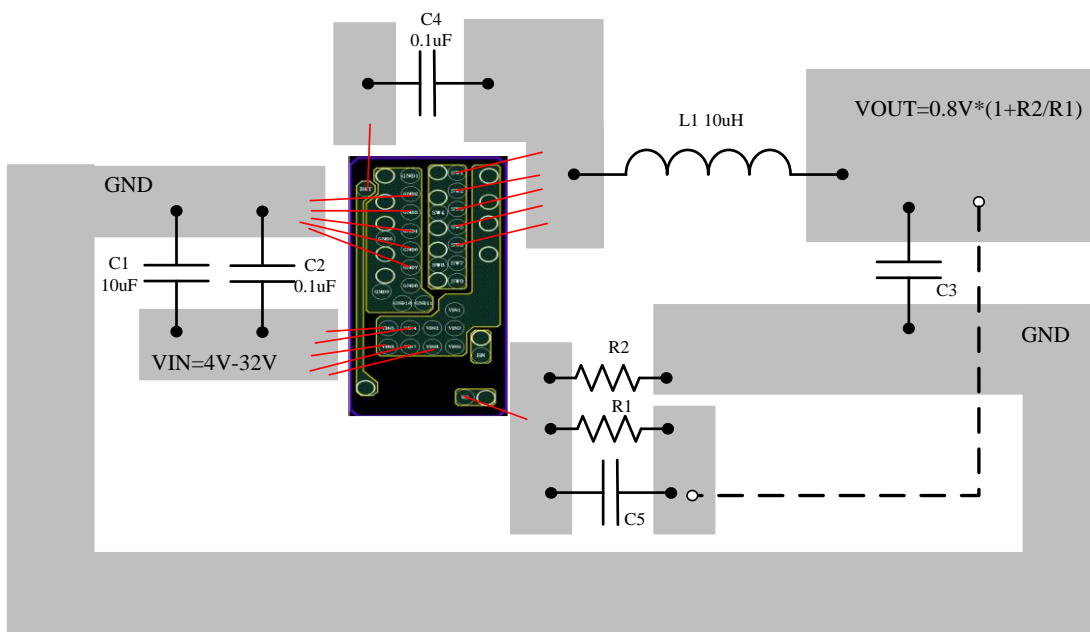


图 6 裸芯片推荐版图布局

应用说明：

- 1) 输出电压  $V_{OUT}$  值可以通过  $R_1$  和  $R_2$  电阻进行调节， $V_{OUT} = 0.8V * (1 + R_1/R_2)$ ， $R_1$  和  $R_2$  尽量与典型应用中推荐的数值在一个数量级，按照图典型应用  $V_{OUT} = 5V$ ；
- 2) 本芯片最大输出电流为 3A，根据实际使用的电流大小来选择选择电感，尽量选用屏蔽式电感。
- 3) 输出电容  $C_3$  可以选用陶瓷电容或者钽电容，容值越大输出电压纹波越小。为了使纹波降低到 50mV 以内，如果输出电流小于 0.5A，可以只接 1 个 22uF；如果输出电流在 0.5A-1.5A 之间，建议接 2 个 22uF；如果输出电流超过 1.5A，建议接 3 个 22uF。

- 4) 为了减少输出纹波电压, 务必在靠近 VIN 端附近放置 C1 和 C2 的电容, 容值分别为: 10uF 和 0.1uF。
- 5) 所有电容都应选用贴片式陶瓷电容, 其中 C1/C2 根据输入电压值选择相应耐压的陶瓷电容, C3/C5 根据输出电压值选用相应耐压的陶瓷电容, C4 建议选用 16V 耐压的陶瓷电容。C5 主要用于相位补偿, 可不接。
- 6) VIN、SW、GND 引脚金丝键合数量根据实际电流大小确定, 其余引脚键合 1 根金丝。
- 7) 电压采样反馈点务必放在滤波电容 C3 之后。

## 6.2 正压转负压型应用 (典型应用 2)

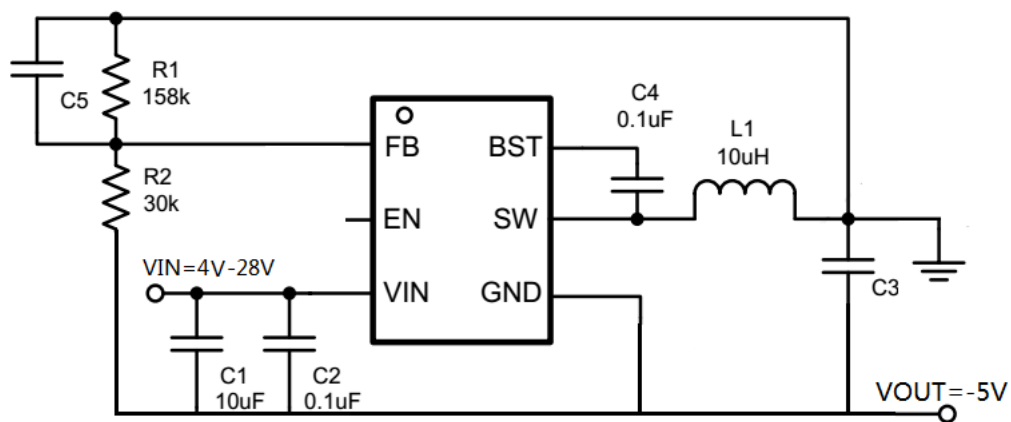


图 7 正压转负压输出的典型应用图

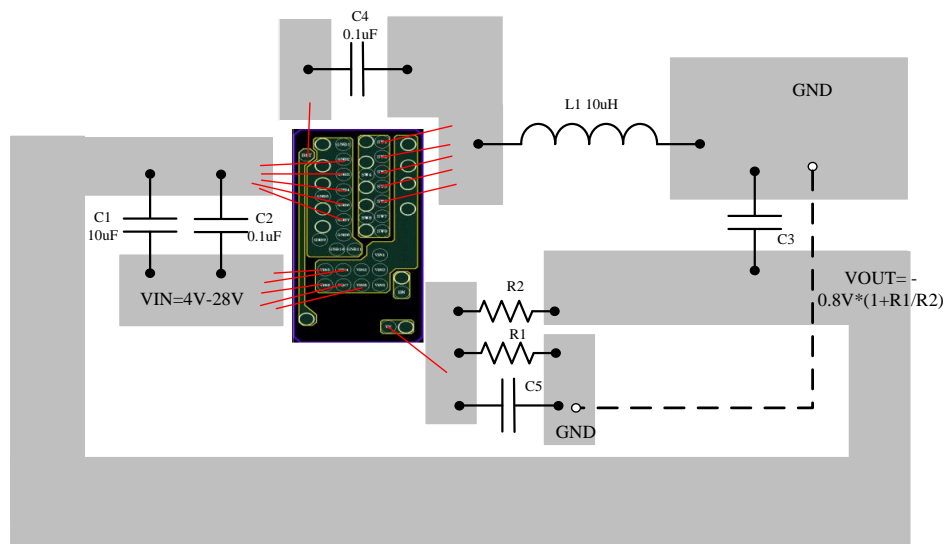


图 8 裸芯片推荐版图布局

### 应用说明:

- 1) 输出电压 VOUT 值可以通过 R1 和 R2 电阻进行调节,  $V_{OUT} = -0.8V * (1 + R1/R2)$ , R1 和 R2 尽量与典型应用中推荐的数值在一个数量级, 按照图典型应用  $V_{OUT} = -5V$ ;

- 2) 本芯片在负压输出情况下最大输出电流为 1.5A，根据实际使用的电流大小选择电感，尽量选用屏蔽式电感。
- 3) 输出电容 C3 可以选用陶瓷电容或者钽电容，容值越大输出电压纹波越小。为了使纹波降低到 50mV 以内，如果输出电流小于 0.5A，可以只接 1 个 22uF；如果输出电流在 0.5A-1A 之间，建议接 2 个 22uF；如果输出电流超过 1A，建议接 3 个 22uF。
- 4) 为了减少输出纹波电压，务必在靠近 VIN 端附近放置 C1 和 C2 的电容，容值分别为：10uF 和 0.1uF。
- 5) 所有电容都应选用贴片式陶瓷电容，其中 C1/C2 根据输入电压值选择相应耐压的陶瓷电容，C3/C5 根据输出电压值选用相应耐压的陶瓷电容，C4 建议选用 16V 耐压的陶瓷电容。C5 主要用于相位补偿，可不接。
- 6) VIN、SW、GND 引脚金丝键合数量根据实际电流大小确定，其余引脚键合 1 根金丝。
- 7) 电压采样反馈点务必放在滤波电容 C3 之后。
- 8) 为了提高芯片稳定性，在轻载时需要在负载端接一个电阻，确保  $I_{out} \geq 10mA$ 。

### 6.3 负压转负压型应用（典型应用 3）

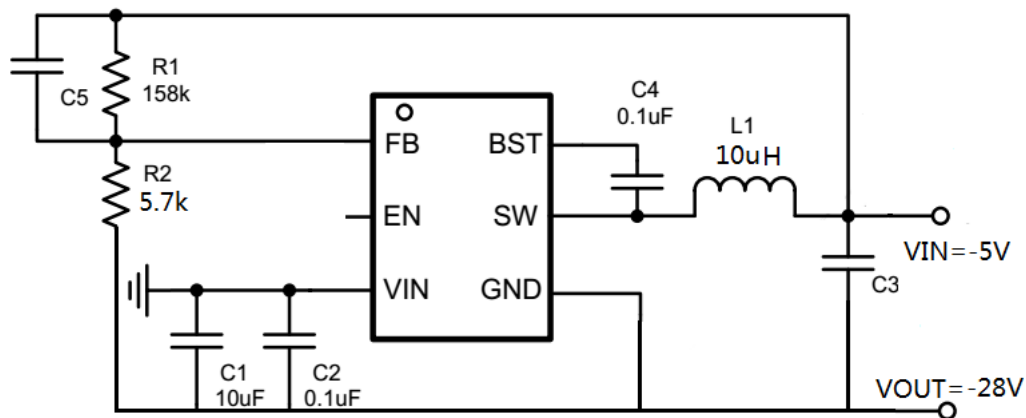


图 9 负压转负压输出的典型应用图



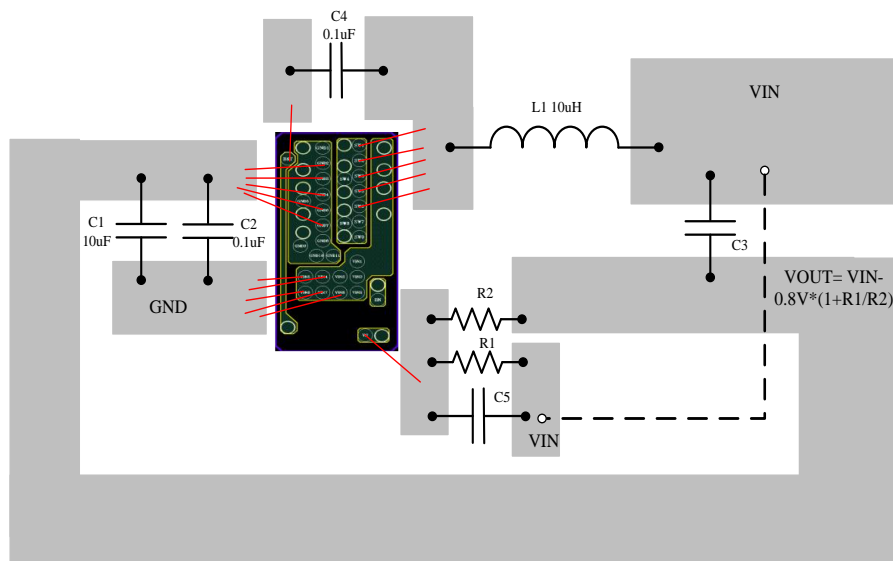


图 10 裸芯片推荐版图布局

### 应用说明：

- 1) 输出电压  $V_{OUT}$  值可以通过  $R1$  和  $R2$  电阻进行调节， $V_{OUT} = V_{IN} - 0.8V * (1 + R1/R2)$ ， $R1$  和  $R2$  尽量与典型应用中推荐的数值在一个数量级，按照图典型应用  $V_{OUT} = -28V$ ；
- 2) 本芯片在负压转负压输出情况下最大输出电流为  $0.5A$ ，根据实际使用的电流大小来选择电感，尽量选用屏蔽式电感。
- 3) 输出电容  $C3$  可以选用陶瓷电容或者钽电容，容值越大输出电压纹波越小。如果输出电流小于  $0.2A$ ，可以只接  $1$  个  $22\mu F$ ；如果输出电流在  $0.2A - 0.5A$  之间，建议接  $2$  个  $22\mu F$ ；
- 4) 为了减少输出纹波电压，务必在靠近  $V_{IN}$  端附近放置  $C1$  和  $C2$  的电容，容值分别为： $10\mu F$  和  $0.1\mu F$ ；
- 5) 所有电容都应选用贴片式陶瓷电容，其中  $C1/C2/C3/C5$  建议选用  $50V$  耐压陶瓷电容， $C4$  建议选用  $16V$  耐压陶瓷电容。 $C5$  主要用于相位补偿，可不接。
- 6)  $V_{IN}$ 、 $SW$ 、 $GND$  引脚金丝键合数量根据实际电流大小确定，其余引脚键合  $1$  根金丝；
- 7) 电压采样反馈点务必放在滤波电容  $C3$  之后；
- 8) 为了提高芯片稳定性，在轻载时需要在负载端接一个电阻，确保  $I_{out} \geq 10mA$ 。

6.4 封装电路推荐版图

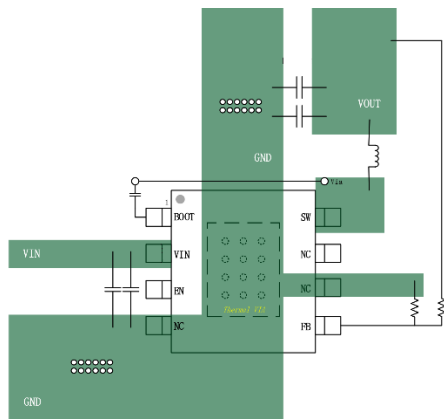


图 11 封装电路版图布局推荐图

布版说明：

- 1) 请尽量参照图推荐的位置关系进行布版，该布版方式可以有效提高芯片的转换效率和稳定性。
- 2) 所有的电容应尽可能的靠近芯片放置。