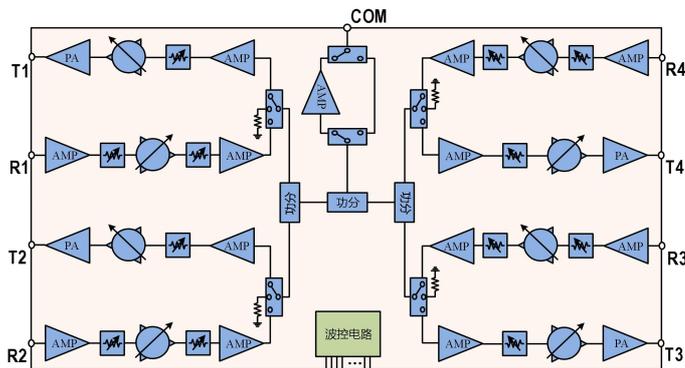


产品介绍

YCC33-0713SC1是一款宽带四通道多功能芯片，工作频率范围 7GHz - 13GHz，芯片内部集成低噪声放大器，功率放大器，收发切换开关，6 位数控衰减器，6 位数控移相器，功分器，波束控制，低噪放电源调制，片上 ADC 等模块，可提供最大 31.5dB 的衰减范围，步进 0.5dB，以及 360°的移相范围，步进 5.6°。

应用领域

- 雷达
- 通信系统



YCC33-0713SC1 模块示意图

关键技术指标

- 工作电源电压: 3.3V
- 工作频率: 7 GHz到13 GHz
- 6位衰减控制位, 步进0.5dB;
- 6位移相, 步进5.6°
- 接收增益: 5dB (Rn端口到COM端口)
- 发射增益: 5dB (COM端口到Tn端口)
- 接收带内增益平坦度: 2dB
- 端口驻波比VSWR: 2
- 接收噪声系数NF: 15dB
- 接收输入 Pin-1dB: -1dBm
- 发射输出 Po-1dB: 15dBm
- 发射Psat: 13.5dBm
- RMS相移误差: <3°
- 移相时幅度一致性: <±0.8dB
- 衰减精度: <0.2+5%Ai
- RMS 衰减误差: <1dB
- 衰减附加相移: <±8°
- 收发切换时间: <100ns
- 单通道工作电流: 75mA/70mA @接收/静态发射
- 裸芯尺寸: 5.06mm×6.36mm
- 工艺: SiGe BiCMOS

电气特性

表 1 基本电性能

参数	条件	最小值	典型值	最大值	单位
频率范围		7		13	GHz
接收线性增益	Rn 端口到 COM 端口		5		dB
发射线性增益	COM 端口到 Tn 端口		5		dB
带内增益平坦度			2		dB
端口驻波比			2		-
接收噪声系数			15		dB
接收输入 P-1dB			-1		dBm
发射输出 P-1dB			15		dBm
发射输出 Psat			16		dBm
RMS 移相误差				3	Deg
移相幅度一致性		-0.8		0.8	dB
RMS 衰减误差			-	1	dB
衰减附加相移		-8		8	Deg
收发切换时间				100	ns
单通道接收电流			75		mA
单通道静态发射电流			70		mA
单通道 Po-1dB 发射电流			140		mA
单通道负载态电流			10		mA

表 2 数字端口电参数

参数	符号	条件	最小值	最大值	单位
输入高电平电压	VIH	VCC = 2.7 V to 3.6 V,	1.7		V
输入低电平电压	VIL	VCC = 2.7 V to 3.6 V,		0.8	V
输入高电平电流	IIH	VCC = 2.7 V to 3.6 V,	-500	500	uA
输入低电平电流	IIL	VCC = 2.7 V to 3.6 V,	-500	500	uA
输出高电平电压	VOH	VCC = 2.7 V to 3.6 V, IOH = -100 uA	VCC-0.2	VCC	V
输出高电平电压	VOH	VCC = 2.7 V IOH = -4mA	2.4	VCC	V
输出低电平电压	VOL	VCC = 2.7 V to 3.6 V, IOL= 100 uA	0	0.2	V
输出低电平电压	VOL	VCC = 2.7 V, IOL= 4mA	0	0.4	V

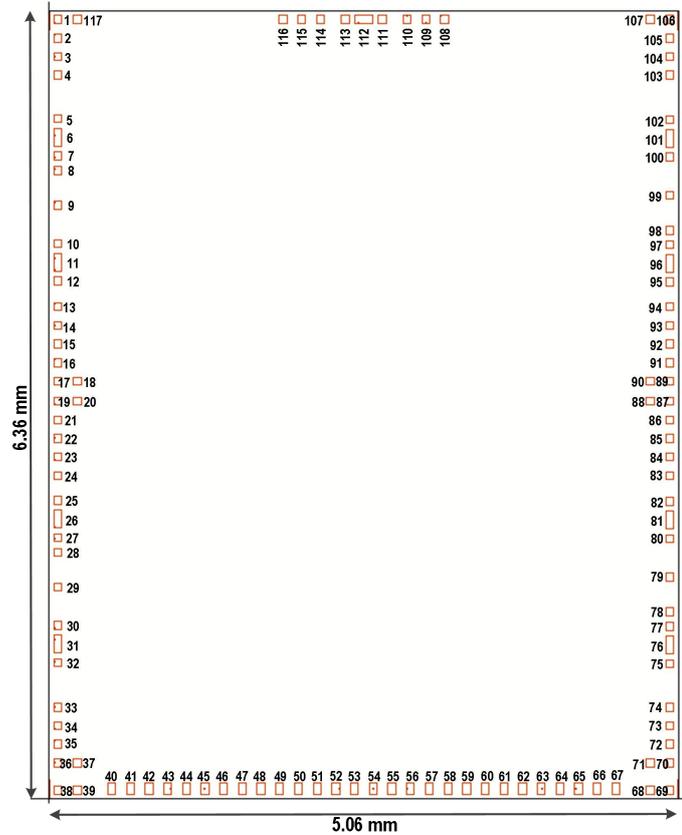
极限参数

最大电源电压	3.6V
最大射频输入功率	TBD
存储温度	-65~150℃
使用温度	-55~125℃

*注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。
在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。

ESD 保护

YCC33-0713SC1防静电等级(人体模式 HBM)至少为 Class 1B: $\geq 500V$, $< 1000V$ 。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。



芯片焊盘布局图

表 3 芯片焊盘功能信息表

序号	名称	X 坐标 um	Y 坐标 um	焊盘大小 um×um	功能
1	VDD33		6288.76	70*70	通道 1 电源, 3.3V
2	AC1<3>		6138.76	70*70	增益调节, 默认悬空, 接地时通道 1 增益调高 1dB
3	AC1<2>	71.24	5988.76	70*70	增益调节, 默认悬空, 接地时通道 1 增益调低 1dB
4	AC1<1>	71.24	5838.76	70*70	增益调节, 默认悬空, 接地时通道 1 增益调低 0.5dB
5	GND	71.24	5488.76	70*70	地
6	T1	71.24	5338.76	70*150	通道 1 发射输出
7	GND	71.24	5188.76	70*70	地
8	NC	71.24	5071.24	70*70	悬空
9	VD1_RX	71.24	4788.88	70*70	通道 1 低噪放电源调制输出, 驱动能力>50mA, 受通道 1 的波控输出 RX 控制。RX 为高时, VD1_RX 输出高电平 (VDD33); RX 为低时, VD1_RX 输出 0
10	GND	71.24	4480	70*70	地

11	R1	71.24	4330	70*150	通道 1 接收输入
12	GND	71.24	4180	70*70	地
13	RX_1	71.24	3971.24	70*70	通道 1 RX 控制输出
14	TXD_1	71.24	3821.24	70*70	通道 1 TXD 控制输出
15	TX1_1	71.24	3671.24	70*70	通道 1 TX1 控制输出
16	TX0_1	71.24	3521.24	70*70	通道 1 TX0 控制输出
17	VDD33	71.24	3371.24	70*70	通道 1 电源, 3.3V
18	VDD33	231.24	3371.24	70*70	通道 1 电源, 3.3V
19	VDD33	71.24	3208.76	70*70	通道 2 电源, 3.3V
20	VDD33	231.24	3208.76	70*70	通道 2 电源, 3.3V
21	TX0_2	71.24	3058.76	70*70	通道 2 TX0 控制输出
22	TX1_2	71.24	2908.76	70*70	通道 2 TX1 控制输出
23	TXD_2	71.24	2758.76	70*70	通道 2 TXD 控制输出
24	RX_2	71.24	2608.76	70*70	通道 2 RX 控制输出
25	GND	71.24	2408.76	70*70	地
26	T2	71.24	2258.76	70*150	通道 2 发射输出
27	GND	71.24	2108.76	70*70	地
28	NC	71.24	1991.24	70*70	悬空
29	VD2_RX	71.24	1708.88	70*70	通道 2 低噪放电源调制输出, 驱动能力>50mA, 受通道 2 的波控输出 RX 控制。RX 为高时, VD2_RX 输出高电平 (VDD33); RX 为低时, VD2_RX 输出 0
30	GND	71.24	1400	70*70	地
31	R2	71.24	1250	70*150	通道 2 接收输入
32	GND	71.24	1100	70*70	地
33	AC2<1>	71.24	741.24	70*70	增益调节, 默认悬空, 接地时通道 2 增益调低 0.5dB
34	AC2<2>	71.24	591.24	70*70	增益调节, 默认悬空, 接地时通道 2 增益调低 1dB
35	AC2<3>	71.24	441.24	70*70	增益调节, 默认悬空, 接地时通道 2 增益调高 1dB
36	VDD33	71.24	291.24	70*70	通道 2 电源, 3.3V
37	VDD33	231.24	291.24	70*70	通道 2 电源, 3.3V
38	VDD33	71.24	71.24	70*70	通道 2 电源, 3.3V
39	VDD33	231.24	71.24	70*70	通道 2 电源, 3.3V
40	EN	505	80.51	68*101	输入, 波控使能, 弱下拉, 为低时波控有效
41	TR1	655	80.51	68*101	输入, 波控输入控制信号, 弱下拉, 产生接收控制信号
42	TR2	805	80.51	68*101	输入, 波控输入控制信号, 弱下拉, 产生脉冲发射控制信号
43	DIN	955	80.51	68*101	串行信号输入, 弱上拉
44	DEN	1105	80.51	68*101	输入, 串行数据使能, 弱上拉, 为低时输入有效
45	CLK	1255	80.51	68*101	时钟输入, 弱下拉, 推荐 1~20MHz
46	VDD33	1405	80.51	68*101	波控电路 3.3V 电源
47	VDD12	1555	80.51	68*101	波控电路内部 1.2V 电源, 建议外部接 0.1uF 稳压电容, 防止电磁干扰

48	OE	1705	80.51	68*101	输入, 波控输出使能, 弱下拉, 为低时输出有效
49	DOUT	1855	80.51	68*101	串行数据输出, 弱上拉
50	FIN	2005	80.51	68*101	功能寄存器串行输入, 弱上拉
51	FEN	2155	80.51	68*101	输入, 功能寄存器使能, 弱上拉, 为低时 FIN 输入有效
52	CLKSEL	2305	80.51	68*101	输入, 时钟选择控制信号, 弱上拉, 为高时 CLK 时钟, 为低时 CLKAUX 时钟, 常规应用时接 3.3V 电源
53	CLKAUX	2455	80.51	68*101	输入, 系统辅助时钟, 弱下拉, 不用时接地
54	GND	2605	80.51	68*101	数字地
55	TR3	2755	80.51	68*101	输入, 波控输入控制信号, 弱下拉, 产生连续波发射控制信号, 不用时接地
56	TR3_SEL	2905	80.51	68*101	输入, TR3 模式选择控制, 弱上拉, 为低时内部 tr3_in 信号由端口 TR3 输入, 为高时 tr3_in 信号由内部寄存器 reg_fun2[1][7]输入, 不用时接 3.3V 电源
57	EEEN	3055	80.51	68*101	输入, EEPROM/MTP 串行数据输入使能, 弱上拉, 不用时接 3.3V 电源
58	EEIN	3205	80.51	68*101	输入, EEPROM/MTP 串行数据输入, 弱下拉, 不用时接地
59	CLK_EE	3355	80.51	68*101	输出, EEPROM/MTP 系统时钟, 不用时悬空
60	VDD12	3505	80.51	68*101	波控电路内部 1.2V 电源, 建议外部接 0.1uF 稳压电容, 防止电磁干扰
61	VDD33	3655	80.51	68*101	波控电路 3.3V 电源
62	EEOUT	3805	80.51	68*101	输出, EEPROM/MTP 串行输出, 弱上拉, 不用时悬空
63	BUSY_IN	3955	80.51	68*101	输入, EEPROM/MTP 写操作与否标志, 弱下拉, 不用时接地
64	EEOE	4105	80.51	68*101	输出, EEPROM/MTP 串行输出使能, 不用时悬空
65	RD_UPDATE	4255	80.51	68*101	输出, EEPROM/MTP 读使能, 不用时悬空
66	WR_EE	4405	80.51	68*101	输出, 写 EEPROM 使能, 不用时悬空
67	WR_MTP	4555	80.51	68*101	输出, 写 MTP 使能, 不用时悬空
68	VDD33	4828.76	71.24	70*70	通道 3 电源, 3.3V
69	VDD33	4988.76	71.24	70*70	通道 3 电源, 3.3V
70	VDD33	4988.76	291.24	70*70	通道 3 电源, 3.3V
71	VDD33	4828.76	291.24	70*70	通道 3 电源, 3.3V
72	AC3<3>	4988.76	441.24	70*70	增益调节, 默认悬空, 接地时通道 3 增益调高 1dB
73	AC3<2>	4988.76	591.24	70*70	增益调节, 默认悬空, 接地时通道 3 增益调低 1dB
74	AC3<1>	4988.76	741.24	70*70	增益调节, 默认悬空, 接地时通道 3 增益调低 0.5dB
75	GND	4988.76	1091.24	70*70	地
76	T3	4988.76	1241.24	70*150	通道 3 发射输出
77	GND	4988.76	1391.24	70*70	地
78	NC	4988.76	1508.76	70*70	悬空
79	VD3_RX	4988.76	1791.12	70*70	通道 3 低噪放电源调制输出, 驱动能力>50mA, 受通道 3 的波控输出 RX 控制。RX 为高时, VD3_RX 输出

					高电平 (VDD33)；RX 为低时，VD3_RX 输出 0
80	GND	4988.76	2100	70*70	地
81	R3	4988.76	2250	70*150	通道 3 接收输入
82	GND	4988.76	2400	70*70	地
83	RX_3	4988.76	2608.76	70*70	通道 3 RX 控制输出
84	TXD_3	4988.76	2758.76	70*70	通道 3 TXD 控制输出
85	TX1_3	4988.76	2908.76	70*70	通道 3 TX1 控制输出
86	TX0_3	4988.76	3058.76	70*70	通道 3 TX0 控制输出
87	VDD33	4988.76	3208.76	70*70	通道 3 电源，3.3V
88	VDD33	4828.76	3208.76	70*70	通道 3 电源，3.3V
89	VDD33	4988.76	3371.24	70*70	通道 4 电源，3.3V
90	VDD33	4828.76	3371.24	70*70	通道 4 电源，3.3V
91	TX0_4	4988.76	3521.24	70*70	通道 4 TX0 控制输出
92	TX1_4	4988.76	3671.24	70*70	通道 4 TX1 控制输出
93	TXD_4	4988.76	3821.24	70*70	通道 4 TXD 控制输出
94	RX_4	4988.76	3971.24	70*70	通道 4 RX 控制输出
95	GND	4988.76	4171.24	70*70	地
96	T4	4988.76	4321.24	70*150	通道 4 发射输出
97	GND	4988.76	4471.24	70*70	地
98	NC	4988.76	4588.76	70*70	悬空
99	VD4_RX	4988.76	4871.12	70*70	通道 4 低噪放电源调制输出，驱动能力>50mA，受通道 4 的波控输出 RX 控制。RX 为高时，VD4_RX 输出高电平 (VDD33)；RX 为低时，VD4_RX 输出 0
100	GND	4988.76	5180	70*70	地
101	R4	4988.76	5330	70*150	通道 4 接收输入
102	GND	4988.76	5480	70*70	地
103	AC4<1>	4988.76	5838.76	70*70	增益调节，默认悬空，接地时通道 4 增益调低 0.5dB
104	AC4<2>	4988.76	5988.76	70*70	增益调节，默认悬空，接地时通道 4 增益调低 1dB
105	AC4<3>	4988.76	6138.76	70*70	增益调节，默认悬空，接地时通道 4 增益调高 1dB
106	VDD33	4988.76	6288.76	70*70	通道 4 电源，3.3V
107	VDD33	4828.76	6288.76	70*70	通道 4 电源，3.3V
108	ADC_IN<4>	3178.76	6288.76	70*70	输入，内部 ADC 的模拟输入信号 4 端口
109	ADC_IN<3>	3028.76	6288.76	70*70	输入，内部 ADC 的模拟输入信号 3 端口
110	ADC_IN<2>	2878.76	6288.76	70*70	输入，内部 ADC 的模拟输入信号 2 端口
111	GND	2680	6288.76	70*70	地
112	COM	2530	6288.76	150*70	射频公共端
113	GND	2380	6288.76	70*70	地
114	ADC_IN<1>	2181.24	6288.76	70*70	输入，内部 ADC 的模拟输入信号 1 端口

>					
115	RXMOD_SEL	2031.24	6288.76	70*70	默认悬空，接地后芯片四个发射通道关断，芯片进入四通道纯接收模式
116	NC	1881.24	6288.76	70*70	悬空
117	VDD33	231.24	6288.76	70*70	通道 1 电源，3.3V

典型曲线

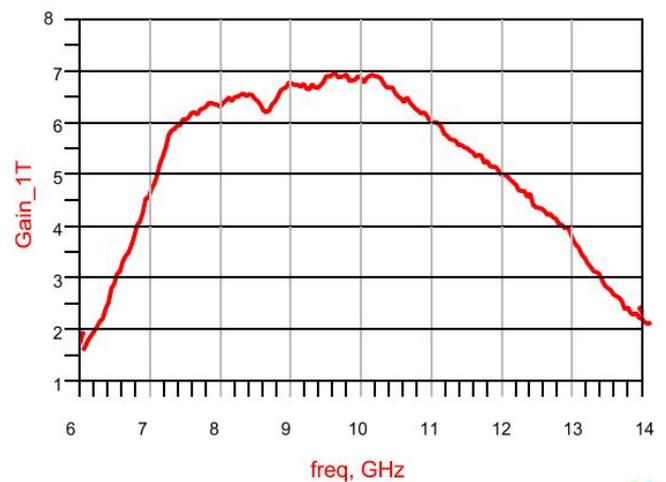
（如无特殊说明，测试条件为电源 3.3V，常温环境，移相衰减基态。所有测试曲线为芯片在评估板上的测试结果，其中衰减和移相曲线中的增益未扣除板损）

小信号S参数

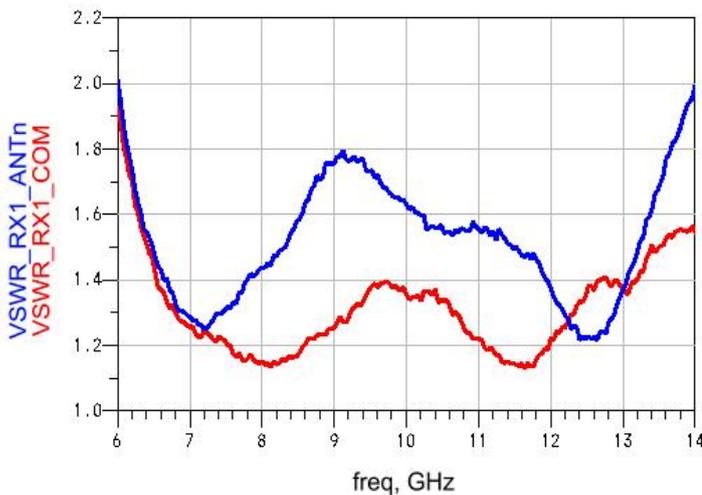
接收增益（Rn 到COM，其他通道负载态）



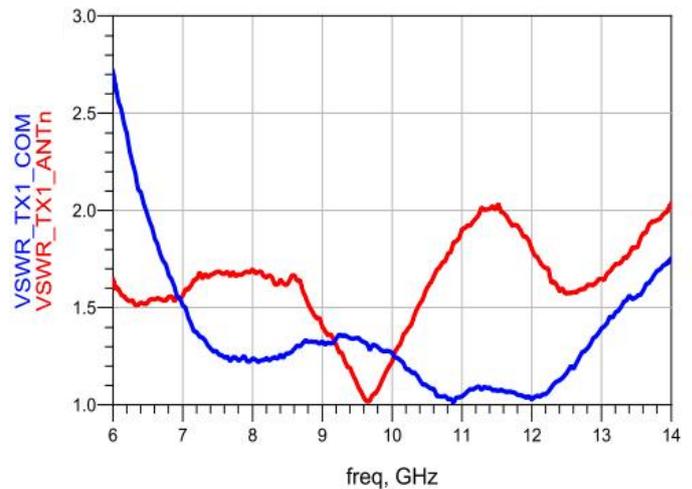
发射增益（COM 到 Tn，其他通道负载态）



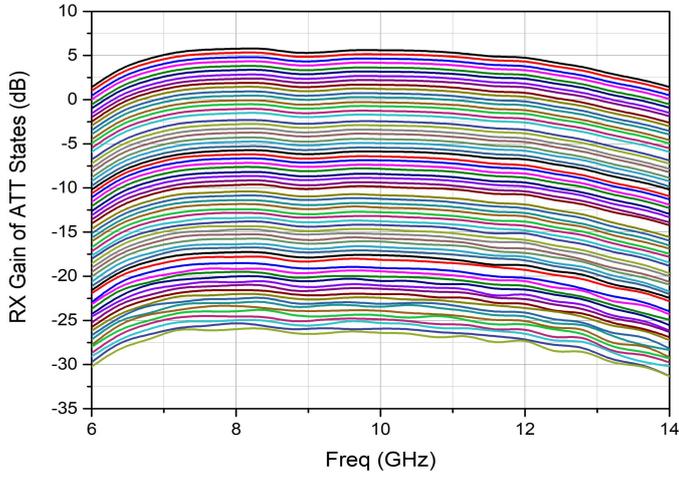
接收端口回波损耗



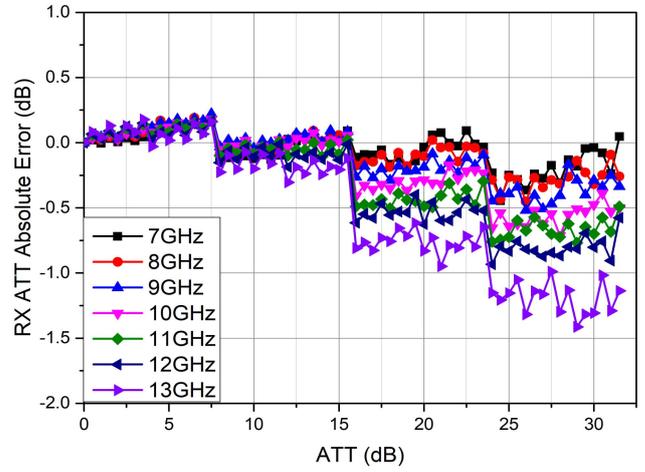
发射端口回波损耗



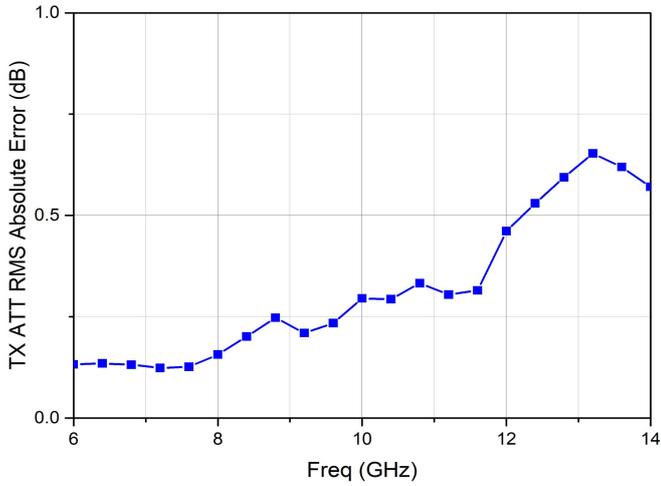
接收增益64态衰减曲线vs频率



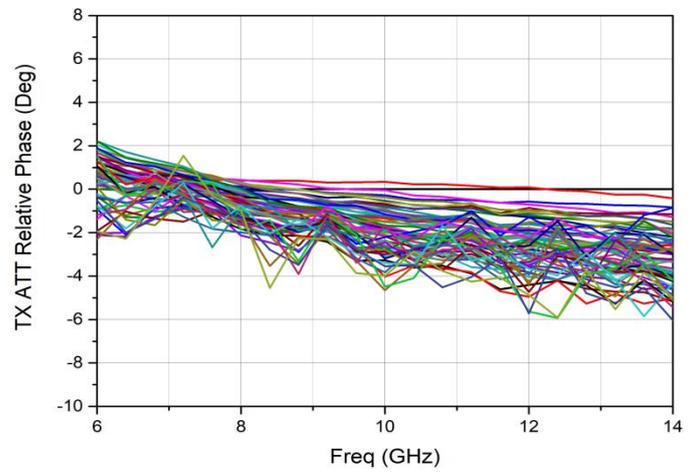
接收模式衰减误差vs衰减量



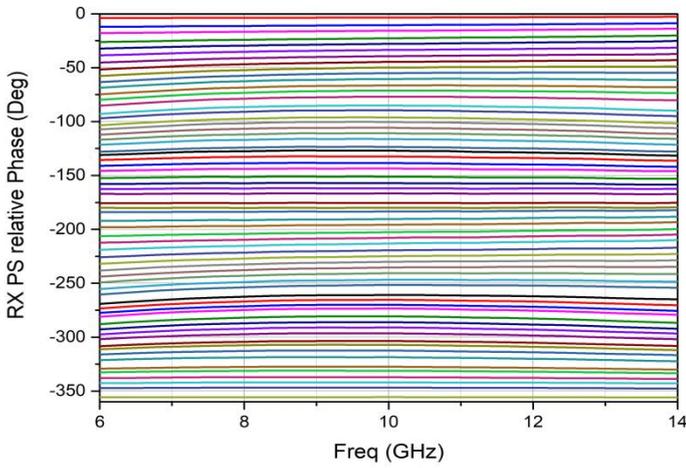
接收模式 RMS 衰减误差 vs 频率



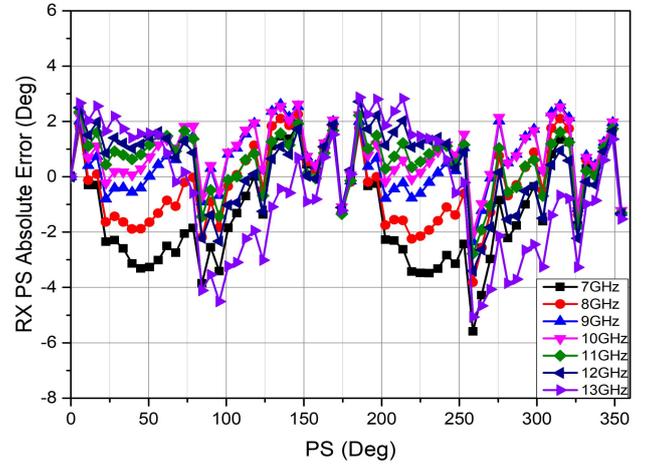
接收模式 64 态衰减时附加相移 vs 频率



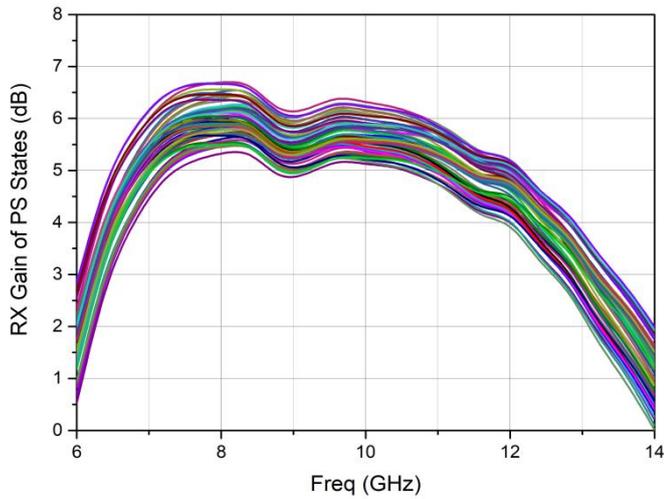
接收模式64态相对移相曲线vs频率



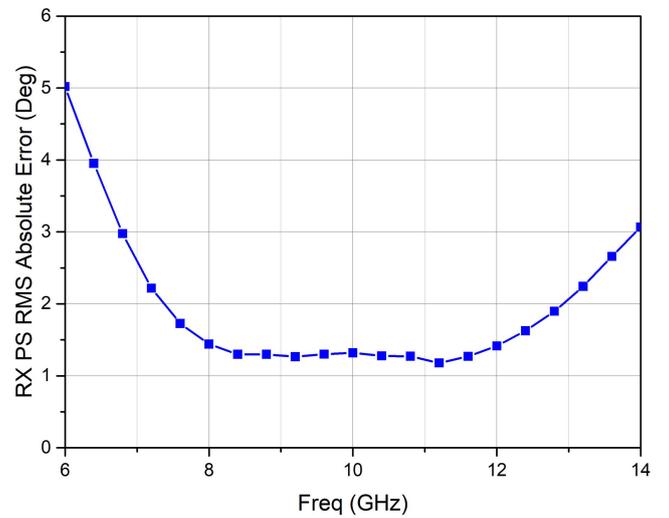
接收模式移相误差vs移相值



接收模式 64 态移相时增益曲线 vs 频率

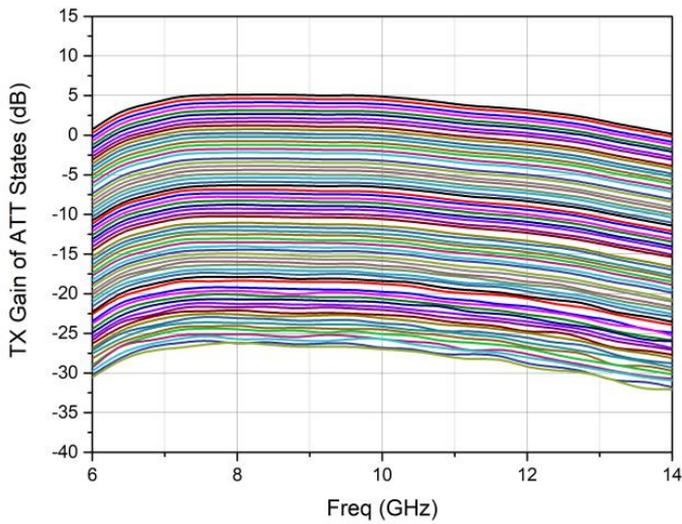


接收模式 RMS 移相误差 vs 频率

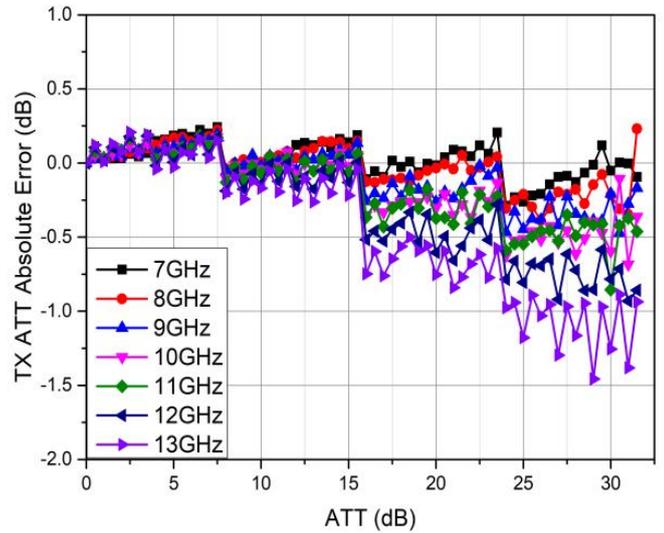


发射衰减性能

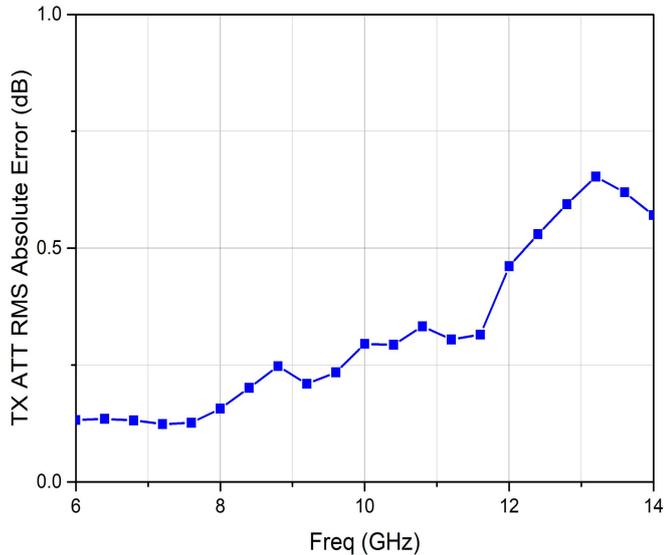
发射增益64态衰减曲线vs频率



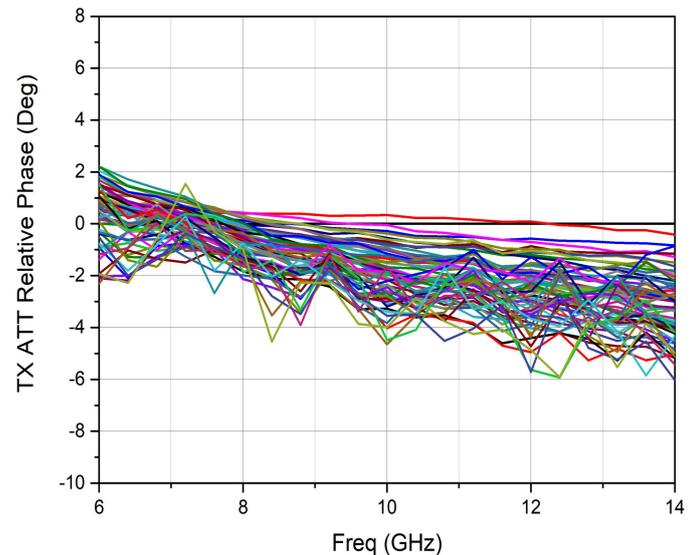
发射模式衰减误差vs衰减值



发射模式RMS衰减误差vs频率

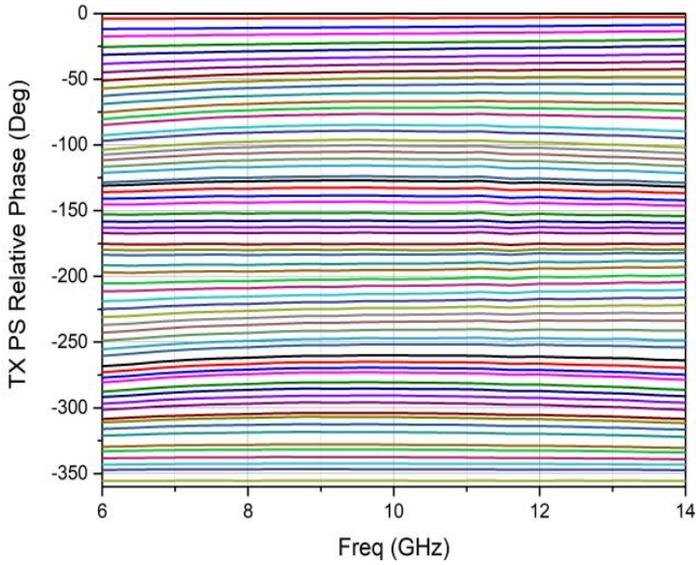


发射模式64态衰减时附加相移vs频率

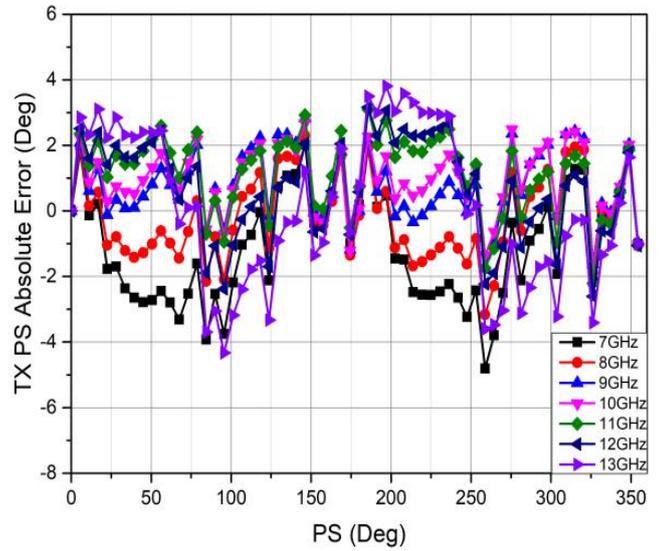


发射移相性能

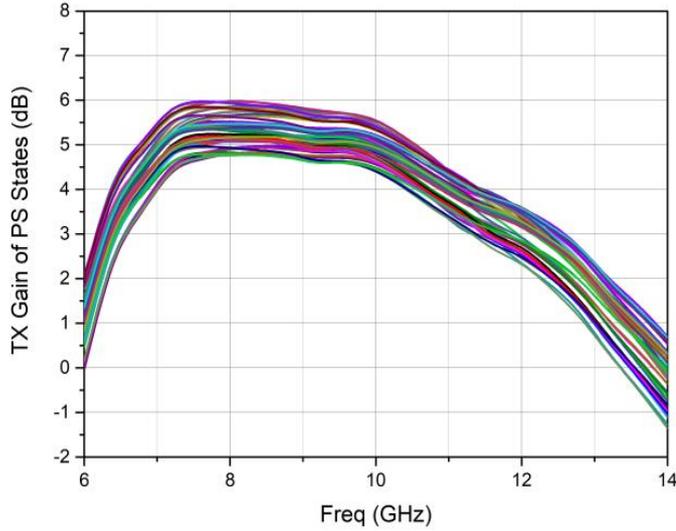
发射模式64态相对移相曲线vs频率



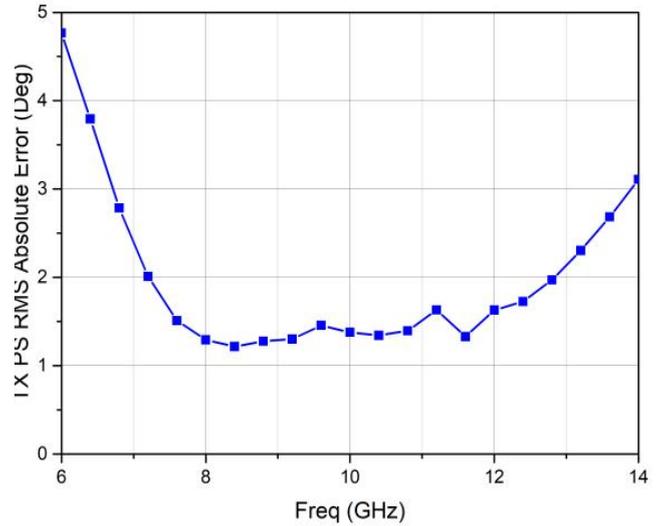
发射模式移相误差vs移相值



发射模式 64 态移相时增益曲线 vs 频率

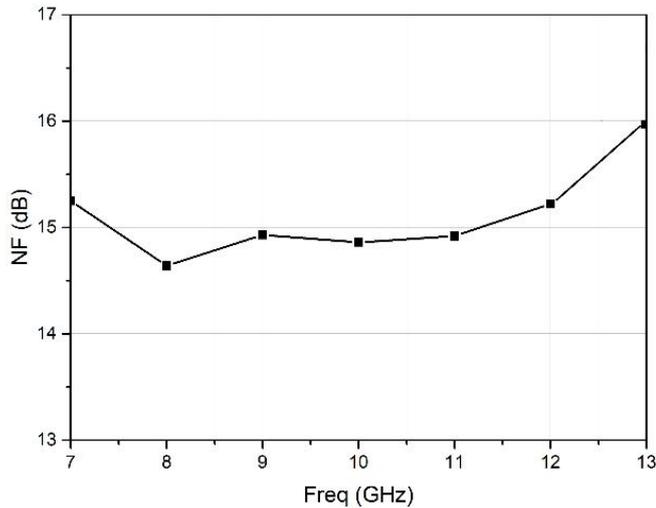


发射模式 RMS 移相误差 vs 频率

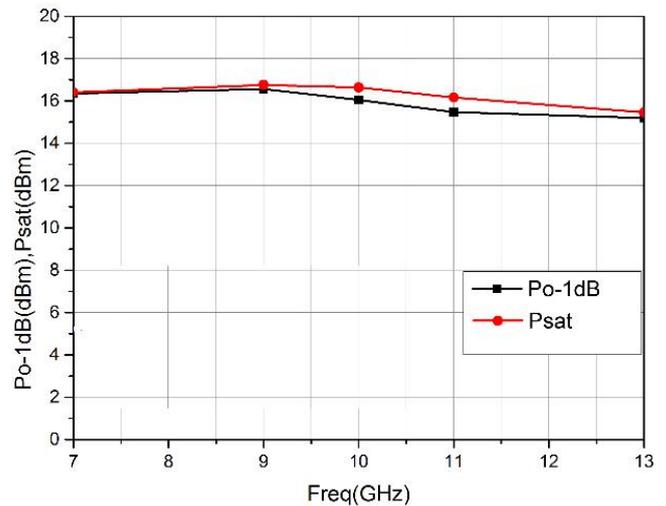


噪声与功率性能

接收噪声系数vs频率



发射输出1dB功率vs频率



数字波控功能

数字部分主要包括 5 个相同的控制通道和一个公共逻辑，5 个控制通道中包含 reg_data1 模块，reg_data2 模块，reg_data3 模块，自检模块和开关控制逻辑；公共逻辑中包含 reg_fun1 模块，reg_fun2 模块，脉冲保护模块和温度保护模块。单通道控制逻辑功能说明

串行数据寄存器reg_data1

串行数据输入：DEN 为低，CLK 上升沿，数据从 DIN 端口依次写入第 1 组寄存器 reg_data1[0]；reg_data1 中原有数据依次从 reg_data1[0]移往 reg_data1[25]。

串行数据输出：单通道串行数据输出 dout 取 reg_data1[25]输出。

串行自检数据加载：当 CLK 上升沿检测到 DEN 高时，将由 reg_fun2[2][7:0]指定的自检数据写入串行寄存器 reg_data1。

串行数据寄存器 reg_data2

数据选择输入：在 den 上升沿后第一个 CLK 上升沿，将 reg_data1 写入功能寄存器 reg_fun2 [0] [4:0]选定的二级数据寄存器 reg_data2。二级数据寄存器 reg_data2 中 32 组数据定义如表 4。

数据选择输出：reg_fun2[1][4:0]选定的一组 reg_data2[n][25:0]输出，用于相位衰减和控制。

表 4 二级数据寄存器数据定义

reg_data2[n][25:0]中数据定义																									
D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
AT5	AT4	AT3	AT2	AT1	AT0	MC T	MC R	AR5	AR4	AR3	AR2	AR1	AR0	PT5	PT4	PT3	PT2	PT1	PT0	PR5	PR4	PR3	PR2	PR1	PR0

串行数据寄存器 reg_data3

DEN 为低，DIN 串行输入{5{26'h15D5A5A}}进行内部解锁。

在 FEN 上升沿后第二个 CLK 上升沿，当 reg_fun1[11:8]=4'h1 时，将 reg_fun1[7:0]指定的 reg_data2 数组对应地址中的数据 dat_seled 写入 reg_data3 寄存器；否则 reg_data3 寄存器保持不变。

每次更新 reg_data3 都要写一次 reg_fun1，不写 reg_fun1 不更新。

PH和ATT功能控制输出

表 5 移相和衰减功能控制输出逻辑

输入	通道 1~通道 5 输出		状态
TR1	PH[5:0]	ATT[5:0]	
1	PT[5:0]	AT[5:0]	发射态
0	PR[5:0]	AR[5:0]	接收态

开关控制输出

开关控制逻辑如表 6 所列，其中输入信号 tr3_in 取值自 TR3 选择模块，PTR2 取值自脉宽保护模块，MCT、MCR 取值自 reg_data3，ot_flag 为内部温度保护模块的输出信号。

表 6 通道 1~4 开关控制输出逻辑

输入							输出				对应通道状态
EN	ot_flag	TR1	PTR 2	tr3_in	MCT	MCR	RX	TX0	TX1	TXD	
0	0	0	0	0	x	0	1	0	0	0	接收态
0	0	1	0	0	x	0	0	0	0	0	过渡态

0	0	1	1	0	0	x	0	1	0	1	脉冲发射态
0	0	1	0	1	0	x	0	0	1	1	连续波发射态
其它组合							0	0	0	0	负载态

功能寄存器 reg_fun1

串行数据输入：FEN 为低，CLK 上升沿，数据从 FIN 端口依次写入 reg_fun1[0]，reg_fun1 中原有数据依次从 reg_fun1[0]移往 reg_fun1[11]。FEN 为高时，数据传输完毕，此时 reg_fun1[11:8]作为二级功能寄存器的地址选择，reg_fun1[7:0]作为二级功能寄存器的输入数据。

功能寄存器 reg_fun2

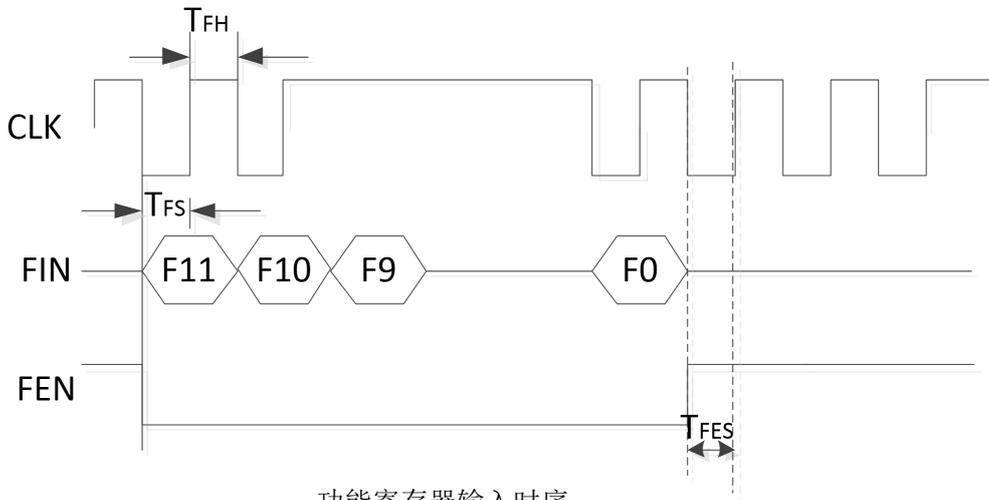
根据 reg_fun1[11:8]确定的地址，在 FEN 上升沿后第一个 CLK 上升沿，将 reg_fun1[7:0]数据写入 reg_fun2 寄存器指定位置。功能寄存器说明如表 7 所列，表中功能寄存器组字节高低位与内部功能寄存器位定义高低顺序一致。

表 7 功能寄存器说明

reg_fun2 寄存器编 号	reg_fun 2 寄存 器定义	D7	D6	D5	D4	D3	D2	D1	D0	说明	默认 值	
reg_fun2 [0]	二级寄 存器 reg_dat a2 写入 地址	reg2_addr_w[4:0]										8'h1f
reg_fun2 [1]	二级寄 存器 reg_dat a2 输出 地址	tr3en	rsten 1: 使能	reg2_addr_r[4:0]								8'h1f
reg_fun2 [2]	自检数 据加载 选择地 址	bit_addr[7:0]									8'hff	
reg_fun2 [3]	控制保 护功能 选择	bit_en	clkee_ sel 0:1'b0 1:clk	chip0 0: ch5 1: ch4	pro_en[4:0]							8'h9f
reg_fun2 [4]	累加数	pro_add[7:0]								保护占空比	8'h0 9	
reg_fun2	递减数	pro_dec[7:0]								$\frac{pro_dec}{pro_add + pro_dec}$	8'h0	

reg_fun2 [5]								1	
reg_fun2 [6]	定时保护门限	pro_threshold[7:0]					保护脉宽 $\frac{pro_threshold}{pro_add \times f_{clk}}$	8'h9 5	
reg_fun2 [7]		pro_threshold[15:8]						8'h1 1	
reg_fun2 [8]		pro_threshold[23:16]						8'h0 0	
reg_fun2 [9]		pro_threshold[31:24]						8'h0 0	
reg_fun2 [10]	AD 采样及过温保护选项	ad_en	ref_sel:默认 1,5V 参考电平	temp_sel:1:正系数	ot_pro_en	dlt_th[3:0]	ad_en:1 表示 AD 工作使能有效, ot_pro_en:1 表示保护使能有效	8'hC 0	
reg_fun2 [11]	频点设置	freq_addr[7:0]						8'h0 0	
reg_fun2 [12]	频点设置及频率补偿控制参数	freq_addr[9:8]	-	-	freq_sel[1:0]	cal_en	wr_en=1:wrote=0:read	cal_en:0 表示串行输入与 EEPROM 数据做运算, wr_en:1 表示执行写 EEPROM 操作	8'h0 2
reg_fun2 [13]	过温门限	ot_threshold[7:0]						8'h0 0	
reg_fun2 [14]								8'h0 0	
reg_fun2 [15]	AD 寄存器	ad_auto_en: =1:自动轮询 =0:寄存器配置轮询	ad_ch_sel_ov ad_auto_en=1 时, 该值控制 ADC 转换通道		clkadc_mux 00: /2 01: /4 10: /8 11: /16	ad_ov_num: 00: 读 1 次指示位 01: 读 2 次指示位 10: 读 4 次指示位 11: 读 8 次指示位	test_sel=0, ad_auto_en=1; test_sel=1, ad_auto_en 可配置; test_sel=0, ad_ch_sel_ov=0; test_sel=1, ad_ch_sel_ov 可配置	8'h0f	

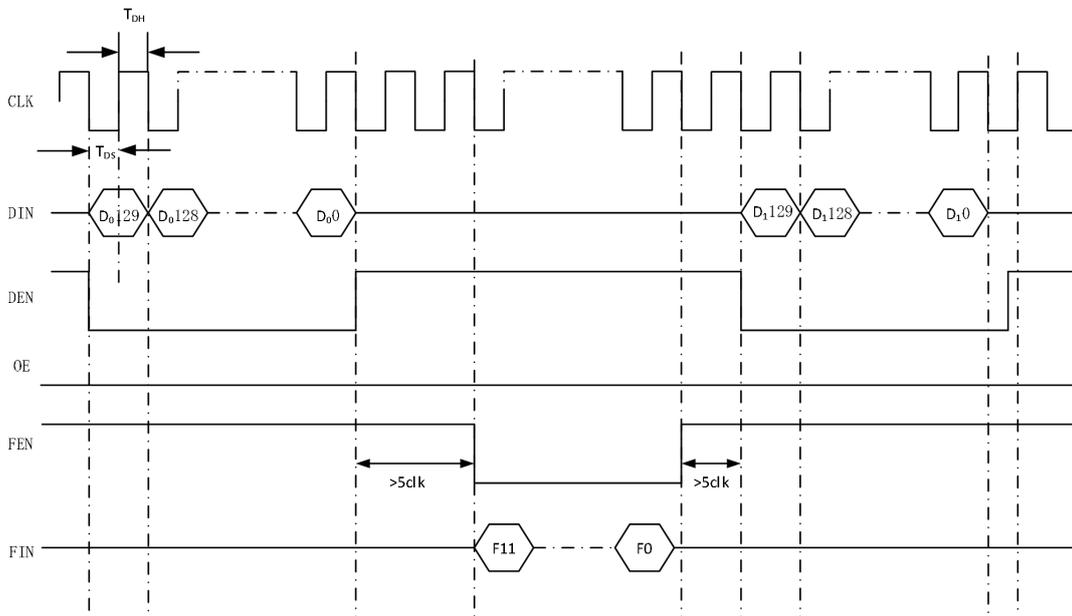
功能寄存器输入时序



功能寄存器输入时序

FEN 为低时，时钟上升沿采样 FIN，内部将其串转并到 `reg_fun1[11:0]`，在 FEN 的上升沿后第一个 `clk` 上升沿时将 `reg_fun1[7:0]` 存入二级功能寄存器 `reg_fun2`，存储的地址由 `reg_fun1[11:8]` 决定。

串行数据寄存器输入时序

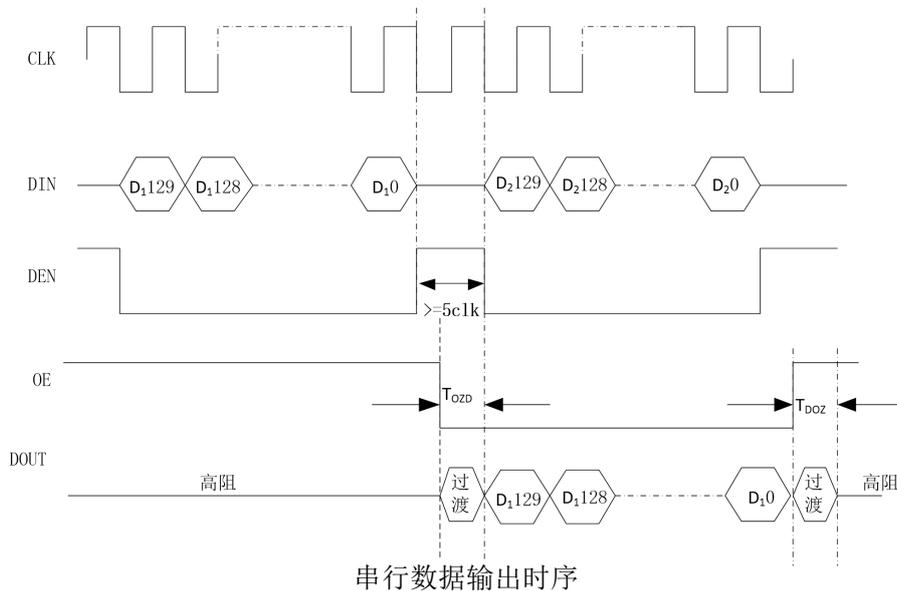


串行数据输入时序

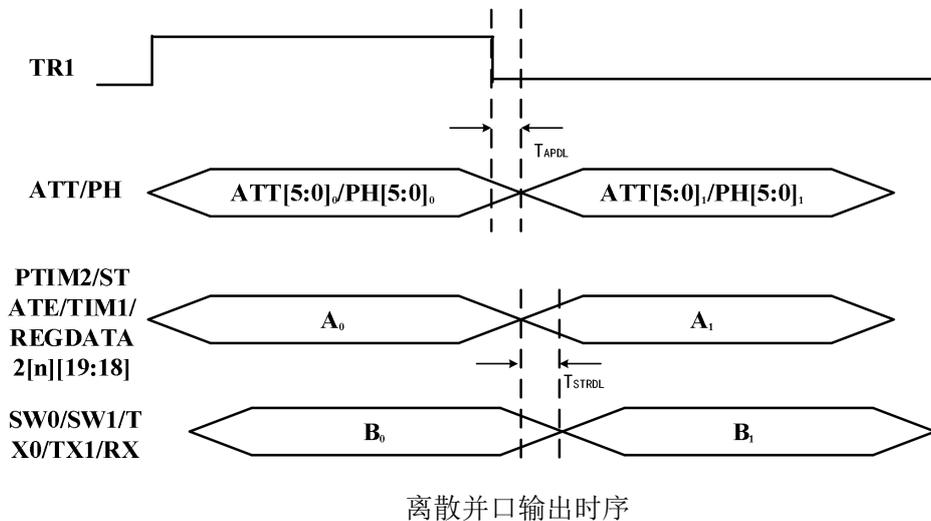
在进行移相衰减控制操作前，先进行指令解锁操作：DEN 为低，DIN 串行输入{5{26'h15D5A5A}}进行内部解锁，解锁完成后进行移相衰减和控制码的输入。

DEN 为低时，时钟上升沿采样 DIN，内部将其串转并到 reg_data1[25:0]，在 DEN 的上升沿将 reg_data1 存入二级数据存储区，存的地址由功能寄存器 reg_fun2[0]决定，默认为地址 31。在 FEN 上升沿后第二个 CLK 上升沿，当 reg_fun1[11:8]=4'h1 且内部解锁时，将 reg_fun1[7:0]指定的 reg_data2 数组对应地址中的数据写入 reg_data3 寄存器；否则 reg_data3 寄存器保持不变。

串行数据寄存器输出时序



离散并口输出时序



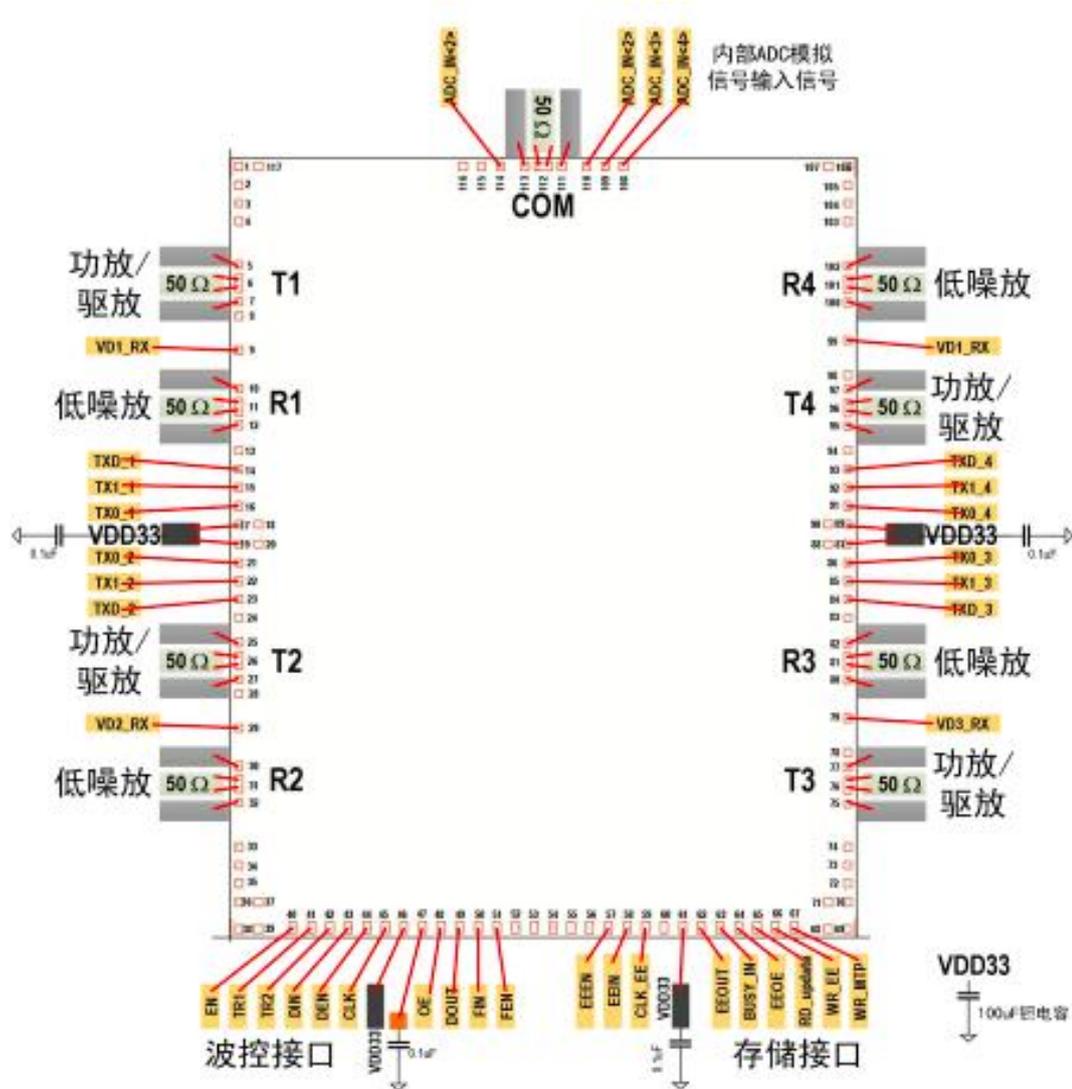
典型应用和装配示意图

下图所示为 YCC33-0713SC1 芯片的应用电路和装配示意图。

各通道的射频端口和公共端口需要键合两根金丝到板上 50 欧姆传输线，金丝长度尽可能短，同时射频端口两侧 GND 焊盘最好 Downbond 到信号两侧的地，提高射频性能和端口隔离度，射频端口无需片外隔直。

本芯片的电源电压为 3.3V，应用时靠近芯片的电源焊盘处放置 0.1uF 贴片电容到地。如图所示，芯片主电路 VDD33 从左右两侧中间位置供电。芯片的主电路也可在四个角 VDD33 供电。若芯片可左右两侧中间和四个角 VDD33 同时供电，则效果更优。

此外，本四通道芯片需要至少 100uF 的钽电容滤波，用来降低脉冲切换时芯片端电源电压的波动。芯片工作时，需先给电源端口 VDD33 上电，再给波控 I/O 口控制信号。



典型应用和装配示意图