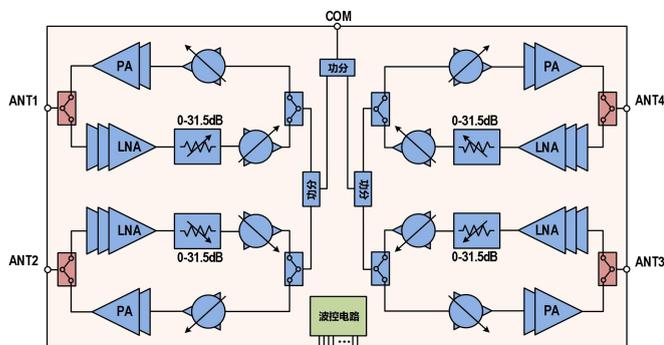


产品介绍

YCC63-0811CQ1是一款X波段高集成度四通道多功能芯片，3.3V电源供电，工作频率范围8.5GHz~11GHz，芯片内部集成低噪声放大器，功率放大器，开关，6位数控衰减器，6位数控移相器，功分器，波束控制等模块，可提供最大31.5dB的衰减范围，步进0.5dB，以及360°的移相范围，步进5.625°。芯片采用塑封QFN封装，共76个管脚，芯片尺寸为9×9mm。

应用领域

- 雷达
- 通信系统



YCC63-0811CQ1 芯片模块示意图

关键技术指标

- 工作电源电压：3.3V
- 工作频率范围：8.5GHz~11GHz
- 6位衰减控制位，步进0.5dB
- 6位移相控制位，步进5.625°
- 接收增益：22.5dB@10GHz
(ANT 端口到 COM 端口)
- 发射增益：21dB@10GHz (COM 端口到 ANT 端口)
- 端口驻波比 VSWR: < 2.2
- 接收噪声系数 NF: 3dB (不衰减)
- 接收输入 P-1dB: -20dBm
- 发射输出 Psat: 28dBm (COM 口输入 11dBm)
- RMS 相移误差: < 4°
- 移相时幅度一致性: < ±1.5dB
- RMS 衰减误差: < 0.6dB
- 衰减精度: < 0.2+2%Ai
- 衰减附加相移: < ±8°
- 收发切换时间: < 150ns
- 四通道工作电流: 260mA/3600mA/60mA@10GHz
接收/连续波饱和和发射/负载态
- 封装及尺寸: QFN 9×9mm

电气特性

基本电性能

参数	条件	最小值	典型值	最大值	单位
频率范围		8.5	—	11	GHz
接收线性增益	ANTn 端口到 COM 端口	—	22.5	—	dB
发射线性增益	COM 端口到 ANTn 端口	—	21	—	dB
接收带内增益平坦度		—	—	2	dB
端口驻波比		—	—	2.2	—
接收噪声系数	不衰减	—	3	—	dB
接收输入 P-1dB		—	-20	—	dBm
发射输出 P-1dB		—	27	—	dBm
发射输出 Psat		—	28	—	dBm
发射效率	连续波饱和发射	—	20	—	%
RMS 相移误差		—	—	4	Deg
移相幅度一致性		-1.5	—	1.5	dB
RMS 衰减误差		—	—	0.6	dB
衰减附加相移		-8	—	8	Deg
收发切换时间		—	—	150	ns
四通道接收电流		—	260	—	mA
四通道发射电流	静态	—	1200	—	mA
四通道发射电流	连续波饱和发射 10GHz	—	3600	—	mA

数字端口电参数

参数	符号	条件	最小值	最大值	单位
输入高电平电压	VIH	VCC = 2.7 V to 3.6 V	1.7	—	V
输入低电平电压	VIL	VCC = 2.7 V to 3.6 V	—	0.8	V
输入高电平电流	IIH	VCC = 2.7 V to 3.6 V	-500	500	uA
输入低电平电流	IIL	VCC = 2.7 V to 3.6 V	-500	500	uA
输出高电平电压	VOH	VCC = 2.7 V to 3.6 V IOH = -100 uA	VCC-0.2	VCC	V
输出高电平电压	VOH	VCC = 2.7 V IOH = -8mA	2.4	VCC	V
输出低电平电压	VOL	VCC = 2.7 V to 3.6 V IOL = 100 uA	0	0.2	V
输出低电平电压	VOL	VCC = 2.7 V, IOL = 8mA	0	0.4	V

极限参数

最大电源电压	3.6V
最大射频输入功率	20dBm
存储温度	-65~150℃
使用温度	-55~125℃

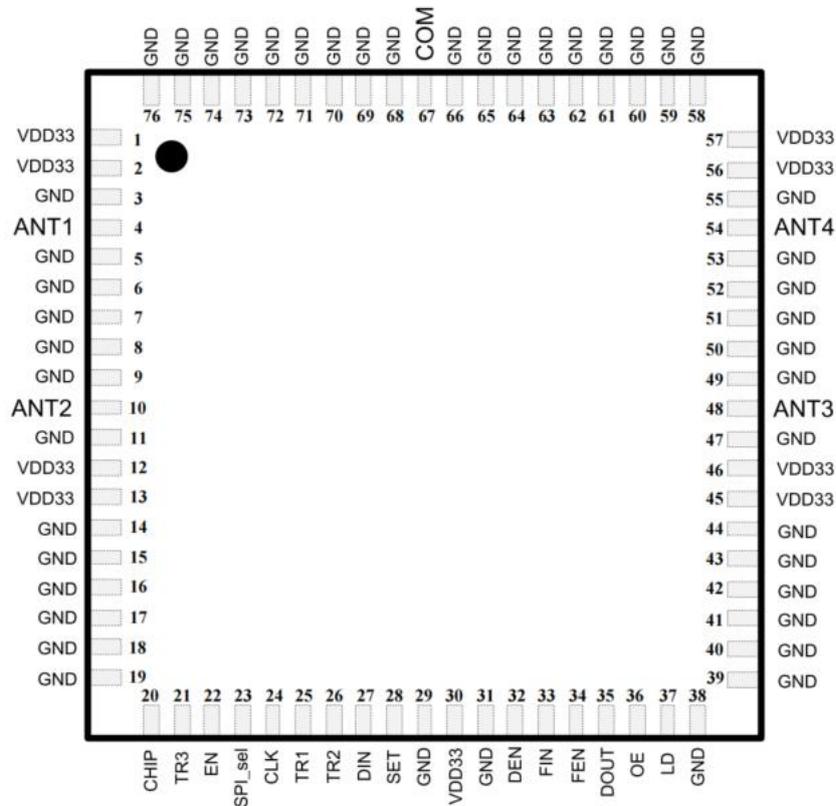
注意: 对以上所列的最大极限值, 如果器件工作在超过此极限值的环境中, 很可能对器件造成永久性破坏。

在实际运用中, 最好不要使器件工作在此极限值或超过此极限值的环境中。

ESD保护

YCC63-0811CQ1防静电等级(人体模式HBM)至少为Class 1A: $\geq 250V$, $< 500V$ 。当拿取时, 要采取合适的ESD保护措施, 以免造成性能下降或功能失效。

管脚配置



芯片管脚布局图

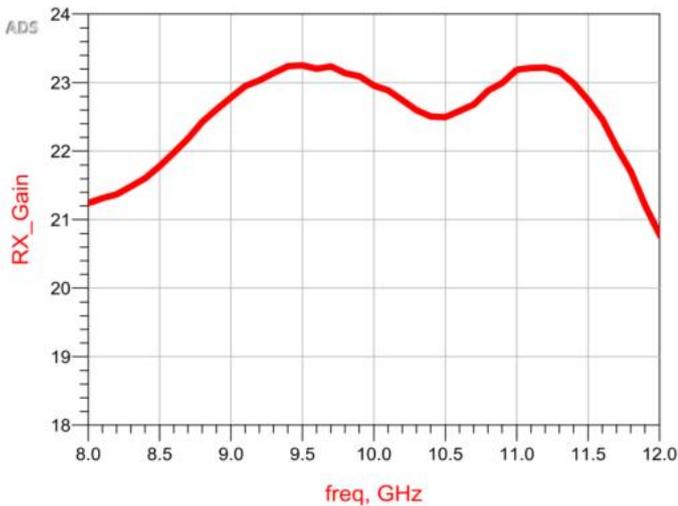
管脚功能信息表

管脚序号	管脚名称	端口属性	备注	管脚序号	管脚名称	端口属性	备注
1	VDD33	电源	通道一 3.3V 电源端	39	GND	地	
2	VDD33	电源	通道一 3.3V 电源端	40	GND	地	
3	GND	地		41	GND	地	
4	ANT1	射频	通道一射频端口	42	GND	地	
5	GND	地		43	GND	地	
6	GND	地		44	GND	地	
7	GND	地		45	VDD33	电源	通道三 3.3V 电源端
8	GND	地		46	VDD33	电源	通道三 3.3V 电源端
9	GND	地		47	GND	地	
10	ANT2	射频	通道二射频端口	48	ANT3	射频	通道三射频端口
11	GND	地		49	GND	地	
11	VDD33	电源	通道二 3.3V 电源端	50	GND	地	
13	VDD33	电源	通道二 3.3V 电源端	51	GND	地	
14	GND	地		52	GND	地	
15	GND	地		53	GND	地	
16	GND	地		54	ANT4	射频	通道四射频端口
17	GND	地		55	GND	地	
18	GND	地		56	VDD33	电源	通道四 3.3V 电源端
19	GND	地		57	VDD33	电源	通道四 3.3V 电源端
20	CHIP	输入	通道控制, 弱下拉, 默认接地	58	GND	地	
21	TR3	输入	开关控制, 弱下拉, 默认接地	59	GND	地	
22	EN	输入	波控使能控制, 弱下拉	60	GND	地	
23	SPI_sel	输入	波控模式接 3.3V 电压或悬空, 弱上拉	61	GND	地	
24	CLK	输入	时钟, 弱下拉	62	GND	地	
25	TR1	输入	接收开关控制, 弱下拉	63	GND	地	
26	TR2	输入	脉冲发射开关控制, 弱下拉	64	GND	地	
27	DIN	输入	串行数据输入, 弱下拉	65	GND	地	
28	SET	输入	三级寄存器锁存, 弱下拉	66	GND	地	
29	GND	地		67	COM	射频	射频公共端口
30	VDD	电源	波控 3.3V 电源端	68	GND	地	
31	GND	地		69	GND	地	
32	DEN	输入	二级锁存信号, 弱上拉	70	GND	地	

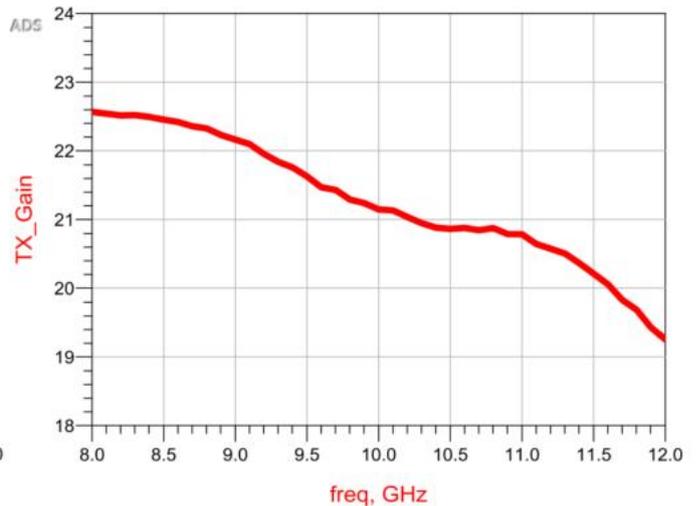
33	FIN	输入	功能寄存器输入，弱下拉	70	GND	地	
34	FEN	输入	功能寄存器使能，弱上拉	72	GND	地	
35	DOUT	输出	串行数据输出	73	GND	地	
36	OE	输入	输出使能，弱上拉	74	GND	地	
37	LD	输入	自检控制，弱下拉	75	GND	地	
38	GND	地		76	GND	地	

典型测试曲线（如无特殊说明，测试条件为电源电压 3.3V，常温环境）

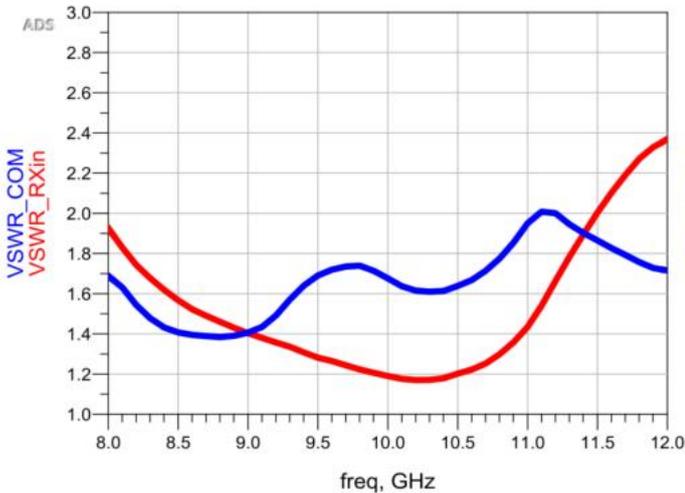
接收增益（ANTn 到 COM，其他通道负载态）



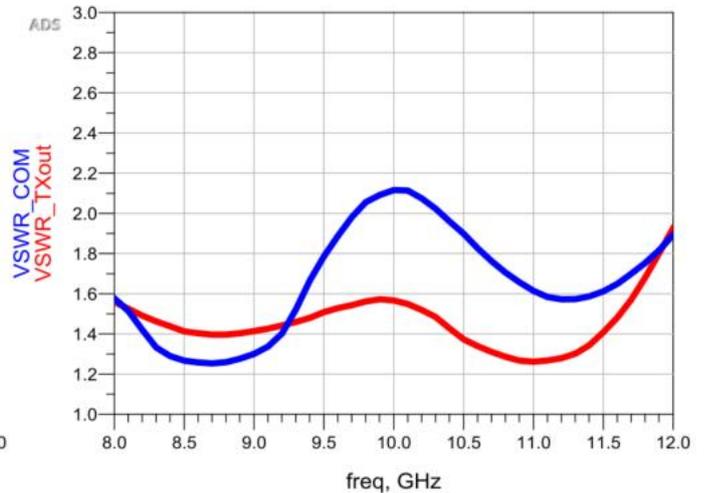
发射增益（COM 到 ANTn，其他通道负载态）



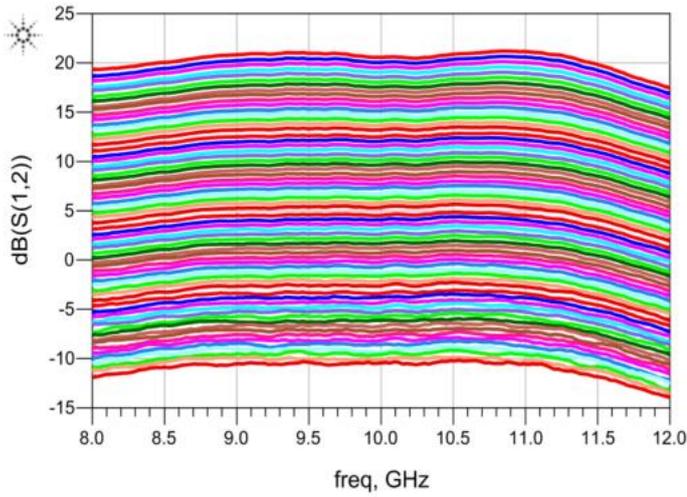
接收模式端口驻波比



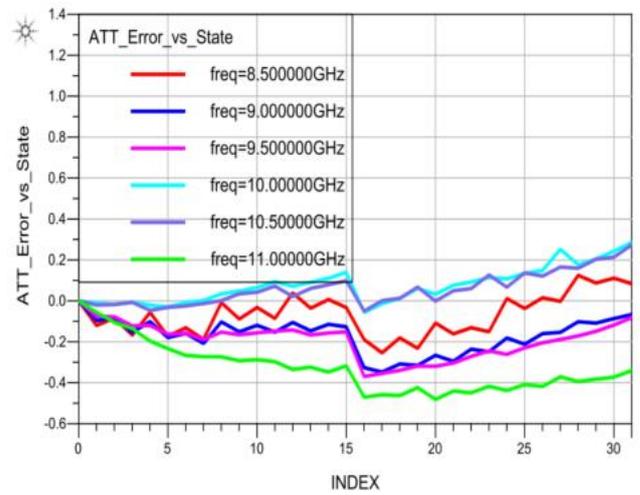
发射模式端口驻波比



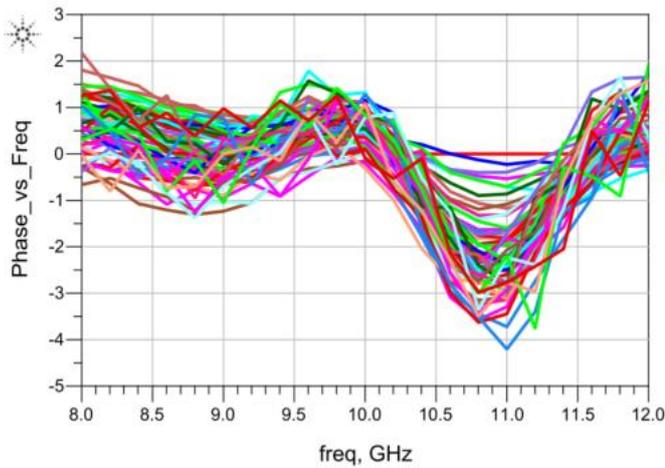
接收增益 64 态衰减曲线 vs 频率



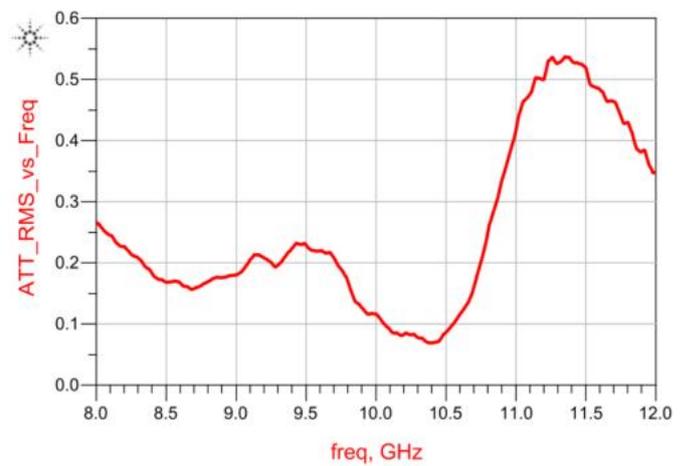
接收模式衰减误差 vs 衰减值



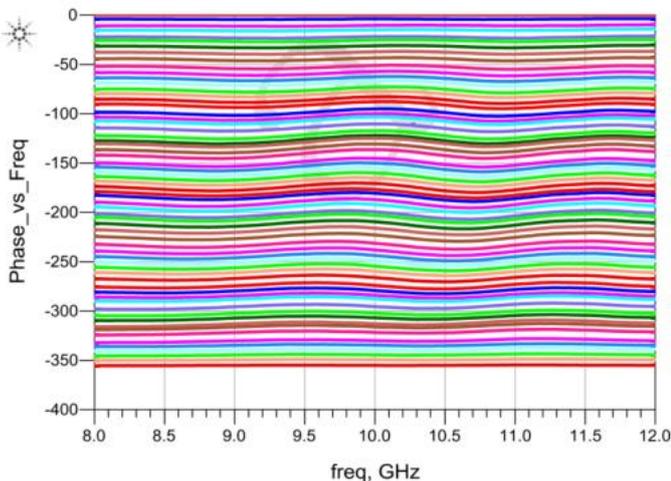
接收模式 64 态衰减时附加相移 vs 频率



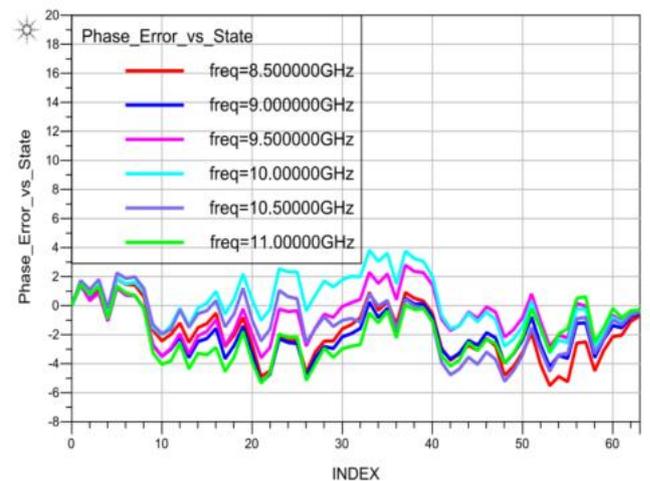
接收模式 RMS 衰减误差 vs 频率



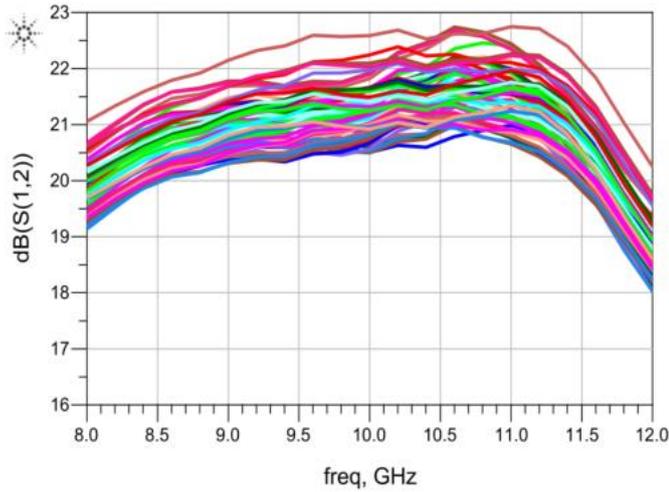
接收模式 64 态衰减时附加相移 vs 频率



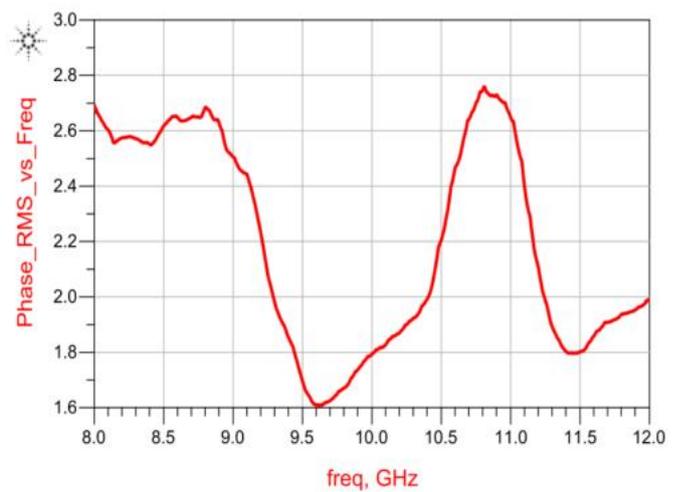
接收模式 RMS 衰减误差 vs 频率



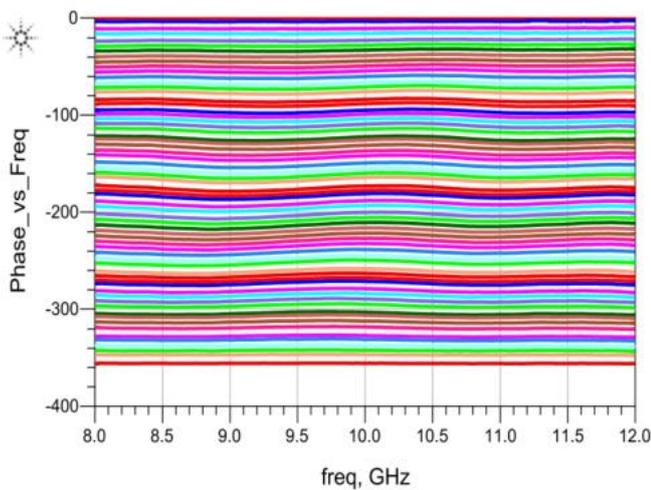
接收模式 64 态移相时增益曲线 vs 频率



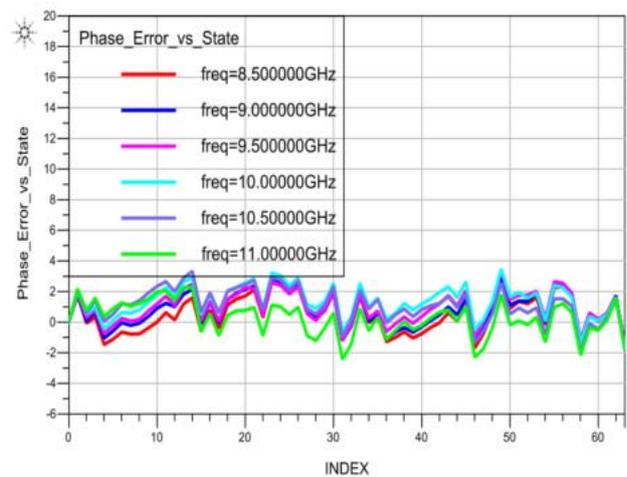
接收模式 RMS 移相误差 vs 频率



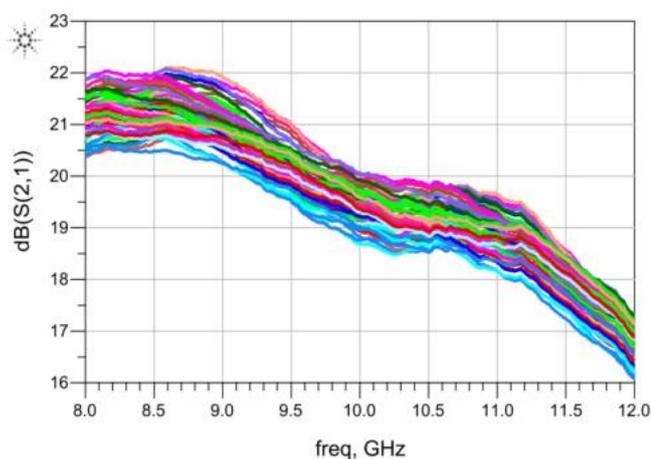
发射模式 64 态相对移相曲线 vs 频率



发射模式移相误差 vs 移相值



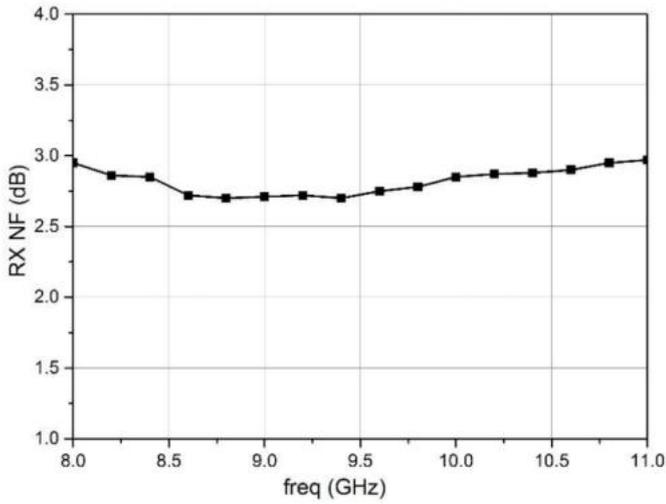
发射模式 64 态移相时增益曲线 vs 频率



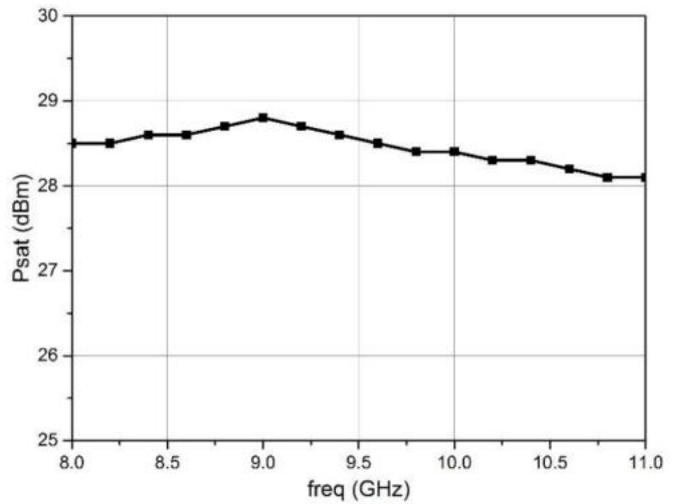
发射模式 RMS 移相误差 vs 频率



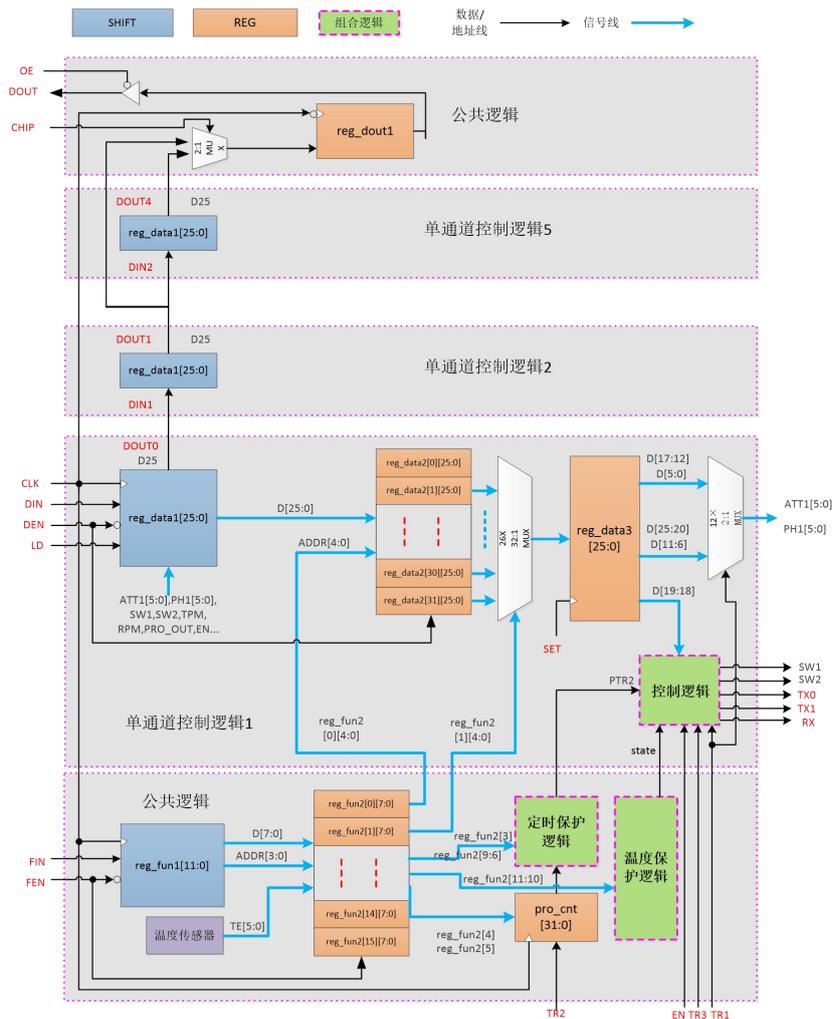
接收噪声系数 vs 频率



发射饱和功率 (10us 脉宽, 10% 占空比) vs 频率



数字波控功能



多功能芯片数字波控电路整体框图

波控逻辑功能说明

外部引脚 SPI_SEL 为高电平时为波控模式，SPI_SEL 内部弱上拉。

串行数据寄存器 (reg_data1)

串行数据输入：当且仅当 DEN 为低，LD 为低，CLK 上升沿时，数据从 DIN 端口依次写入第 1 组寄存器的 reg_data1[0]，每组寄存器 reg_data1[25] 写入下一组 reg_data1[0]；每组 reg_data1 中原有数据依次从 reg_data1[0] 移往 reg_data1[25]；reg_data1 的复位值为全 1。

串行数据输出：CLK 下降沿，按 CHIP 引脚状态，数据从第 4 或 5 组 reg_data1[25] 写入 reg_dout 输出寄存器(CHIP=1 时，选择 5 通道；CHIP=0 时，选择 4 通道；默认 4 通道)，reg_dout 通过 DOUT 端口输出，DOUT 端口在 OE 为低时正常输出，OE 为高时输出高阻态；

自检数据加载：LD 为高，CLK 上升沿，将由 reg_fun2[2][7:0] 寄存器指定的自检数据写入串行寄存器，写入的内容及顺序见下表：

串行寄存器

reg_fun2[2] reg_data1	0~0x1f	0xe0~0xef	0xf0	0xf1	0xf2	其它值	
D25	reg_data2[0~0x1f]	0	0	reg_data3	0	0	
D24		0	reg_fun1 [11:0]		TR3	P5	
D23		0			TX1	P4	
D22		0			EN	P3	
D21		0			TR1	P2	
D20		reg_fun2[0~f]			TR2	P1	
D19					pro_out	P0	
D18					RX	A5	
D17					TX0	A4	
D16					SW2	A3	
D15					SW1	A2	
D14			MCT		A1		
D13			MCR		A0		
D12			0		0	0	0
D11			0		reg_fun1 [11:0]	TR3	P5
D10		0	TX1			P4	
D9		0	EN			P3	
D8		0	TR1			P2	
D7		reg_fun2[0~f]	TR2			P1	
D6			pro_out			P0	

D5					RX	A5
D4					TX0	A4
D3					SW2	A3
D2					SW1	A2
D1					MCT	A1
D0					MCR	A0

功能寄存器 (reg_fun1, reg_fun2)

串行数据输入：FEN 为低，CLK 上升沿，数据从 FIN 端口依次写入 reg_fun1[0], reg_fun1 中原有数据依次从 reg_fun1[0]移往 reg_fun1[11], reg_fun1 复位值为全 1。

功能寄存器选择锁存：根据 reg_fun1[11:8]确定的地址，将 FEN 用 clk 打 3 拍取后 2 拍做上升沿，在此上升沿将 reg_fun1[7:0]数据写入 reg_fun2 寄存器指定位置。

二级、三级数据寄存器 (5 组，其中一组作为备用)

数据选择输入：将 den 用 clk 打 3 拍，取后 2 拍做上升沿，将串行数据寄存器(reg_data1)中的数据写入功能寄存器 reg_fun2[0][4:0]选定的二级数据寄存器(reg_data2)，reg_data2 复位值全 1。

数据选择寄存：当且仅当在 SET 上升沿，将二级数据寄存器 (reg_data2) 进行 32:1mux 输出，根据功能寄存器 reg_fun2[1][4:0]选定的一组数据写入三级数据寄存器 (reg_data3)；reg_data3 复位值为全 1。

三级数据寄存器

reg_data3[25:0]中数据定义																									
D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
AT5	AT4	AT3	AT2	AT1	AT0	MCT	MCR	AR5	AR4	AR3	AR2	AR1	AR0	PT5	PT4	PT3	PT2	PT1	PT0	PR5	PR4	PR3	PR2	PR1	PR0

状态控制说明

收发状态控制，五个通道采用相同的逻辑控制输入，由各个通道的收发状态控制位分别输出相应通道的状态。

根据外部输入的 tr1、tr3、en 和内部配置的 mct、mcr 信号，以及脉冲保护输出 ptr2 和温度的保护输出 te_pro_state 来决定输出的状态

状态控制说明

输入							对应通道状态
EN	te_pro_state (温度保护标志位)	TR1	PTR2 (脉冲保护逻辑输出)	TR3	MCT	MCR	
0	0	0	0	0	x	0	接收态
0	0	1	0	0	x	0	过渡态
0	0	1	1	0	0	x	脉冲发射态
其它组合							负载态

移相及衰减控制:

移相及衰减控制

输入	输出		状态
TR1	PH[5:0]	ATT[5:0]	
1	PT[5:0]	AT[5:0]	发射态
0	PR[5:0]	AR[5:0]	接收态

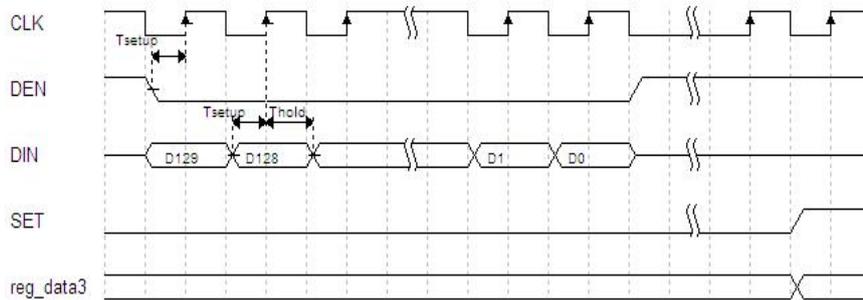
寄存器初始化

芯片上电复位后所有寄存器必须处于确定值。具体设定见下表:

寄存器初始值

序号	寄存器名	初始值	备注
1	reg_fun2[0]	8'hff	reg_fun2[0][4:0]二级数据缓存 reg_data2 寄存器组写入地址
2	reg_fun2[1]	8'hff	reg_fun2[1][4:0] 二级数据缓存 reg_data2 寄存器组输出地址
3	reg_fun2[2]	8'hff	reg_fun2[3][7:0] 串行输出自检数据加 载选择地址
4	reg_fun2[3]	8'hff	reg_fun2[3][4:0]脉宽保护有效每个通 道 1bit,可单独打开、关闭保护功能
5	reg_fun2[4]	8'h2	累加数 pro_add[7:0] 递减数 pro_dec[7:0]
6	reg_fun2[5]	8'h1	
7	reg_fun2[6]	8'h68	缺省保护门限 205μs(4MHz)
8	reg_fun2[7]	8'h6	
9	reg_fun2[8]	8'h0	
10	reg_fun2[9]	8'h0	
11	reg_fun2[10]	8'hff	温度传感器使能打开,温度保护使能打 开、保护门限 6'h3F
12	reg_fun2[11]	8'hff	温度保护状态标志,温度传感器反馈温 度 6 位
13~14	reg_fun2[12~13]	8'hff	保留
15	reg_fun2[14]	0x01	硬件版本低位(初始版本号, 芯片升级 版本号增加)
16	reg_fun2[15]	8'h10	硬件版本高位 8'h10
17	Reg_data1	26'h3ffffff	
18	Reg_data2[31:0]	26'h3ffffff	
19	Reg_data3	26'h3ffffff	
20	Pro_cnt	32'h0	
21	Pro_out	5'h0	

1、数据输入时序



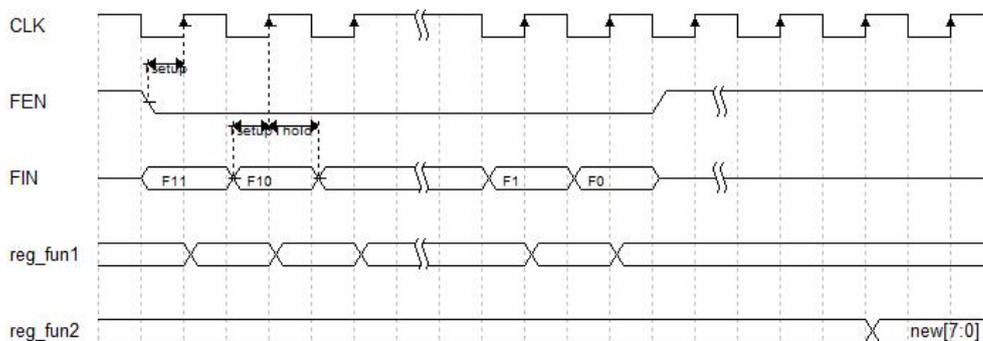
波控时序图

时钟周期为 1~40MHz，setup 和 hold 时间为半个周期，40MHz 情况下为 12.5ns。

DEN 为低时，时钟上升沿采样 DIN，内部将其串转并到 reg_data1[25:0]，在 DEN 的上升沿将 reg_data1 存入二级数据存储区，存的地址由功能寄存器 reg_fun2[0]决定，默认为地址 31。在 DEN 拉高后至少 3 个周期后拉高 SET 信号，在 SET 上升沿将二级数据存储区的某一地址的数据更新到 reg_data3，该地址由 reg_fun2[1]决定，默认为地址 31。

各通道的数据为 26bit，5 个通道共 130bit，通道 5 在高位，先输入，通道 1 在低位，后输入。

2、功能寄存器输入时序

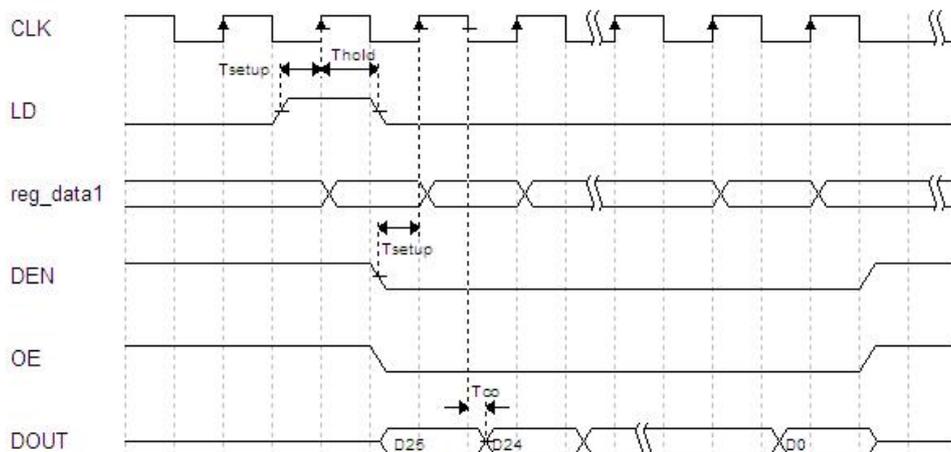


功能寄存器输入时序

时钟周期为 1~40MHz，setup 和 hold 时间为半个周期，40MHz 情况下为 12.5ns。

FEN 为低时，时钟上升沿采样 FIN，内部将其串转并到 reg_fun1[11:0]，在 FEN 的上升沿后两个半周期将 reg_fun1[7:0]存入二级功能寄存器 reg_fun2，存的地址由 reg_fun1[11:8]决定。

3、自检数据输出时序



自检数据输出时序

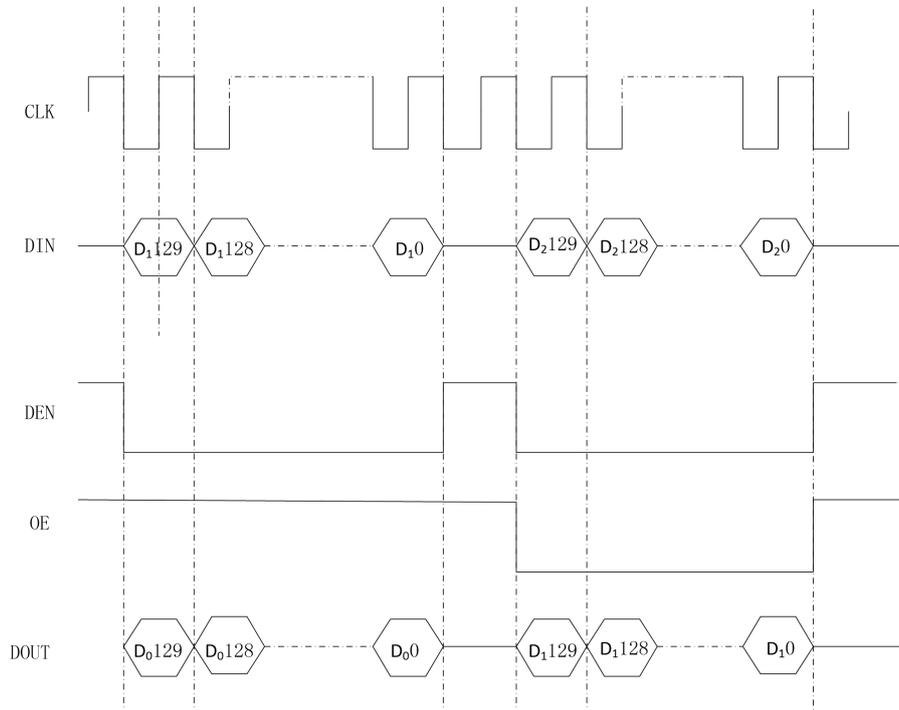
时钟周期为 1~40MHz, setup 和 hold 时间为半个周期, 40MHz 情况下为 12.5ns, CLK 下降沿到 DOUT 的 Tco 为 3ns。

LD 为高时将自检数据加载到 reg_data1, 然后将 DEN 和 OE 拉低, 在时钟上升沿 reg_data1 移位并转串输出最高位 reg_data1[25], 在时钟下降沿将通道 5 的 reg_data1[25]输出为 DOUT。

时序总结

参数名	参数值	单位
时钟周期 TCLK	25	ns
时钟高电平宽度	12.5	ns
时钟低电平宽度	12.5	ns
FEN 到 CLK 上升沿建立时间	12.5	ns
FEN 到 CLK 上升沿保持时间	12.5	ns
FIN 到 CLK 上升沿建立时间	12.5	ns
FIN 到 CLK 上升沿保持时间	12.5	ns
DEN 到 CLK 上升沿建立时间	12.5	ns
DEN 到 CLK 上升沿保持时间	12.5	ns
DIN 到 CLK 上升沿建立时间	12.5	ns
DIN 到 CLK 上升沿保持时间	12.5	ns
LD 到 CLK 上升沿建立时间	12.5	ns
LD 到 CLK 上升沿保持时间	12.5	ns
SET 到 CLK 上升沿建立时间	12.5	ns
SET 到 CLK 上升沿保持时间	12.5	ns
CLK 下降沿到 DOUT 延迟 Tco	3	ns

4、连续输入输出



连续输入输出时序

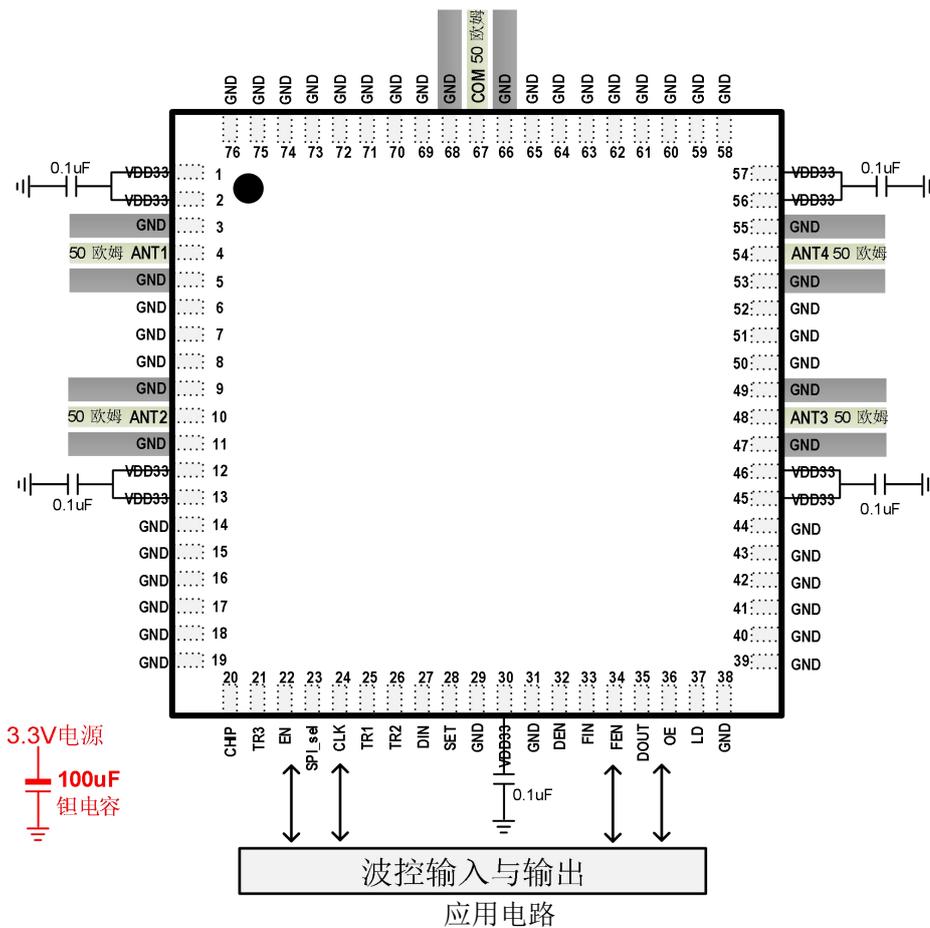
连续输入时，将 OE 拉低，DOUT 将依次输出上一次输入的 130bit 数据，可用于芯片级联场景。

应用信息

YCC63-0811CQ1 是一款 X 波段高集成度四通道多功能芯片，芯片内部集成低噪声放大器，功率放大器，开关，6 位数控衰减器，6 位数控移相器，功分器，波束控制等模块，芯片模块如图 1 所示。通过对芯片内部衰减和移相编码实现对接收和发射信号的衰减和移相。芯片具有较高的灵敏度且衰减和移相精度高，可满足于当前军用及民用雷达等系统的应用要求。

应用电路

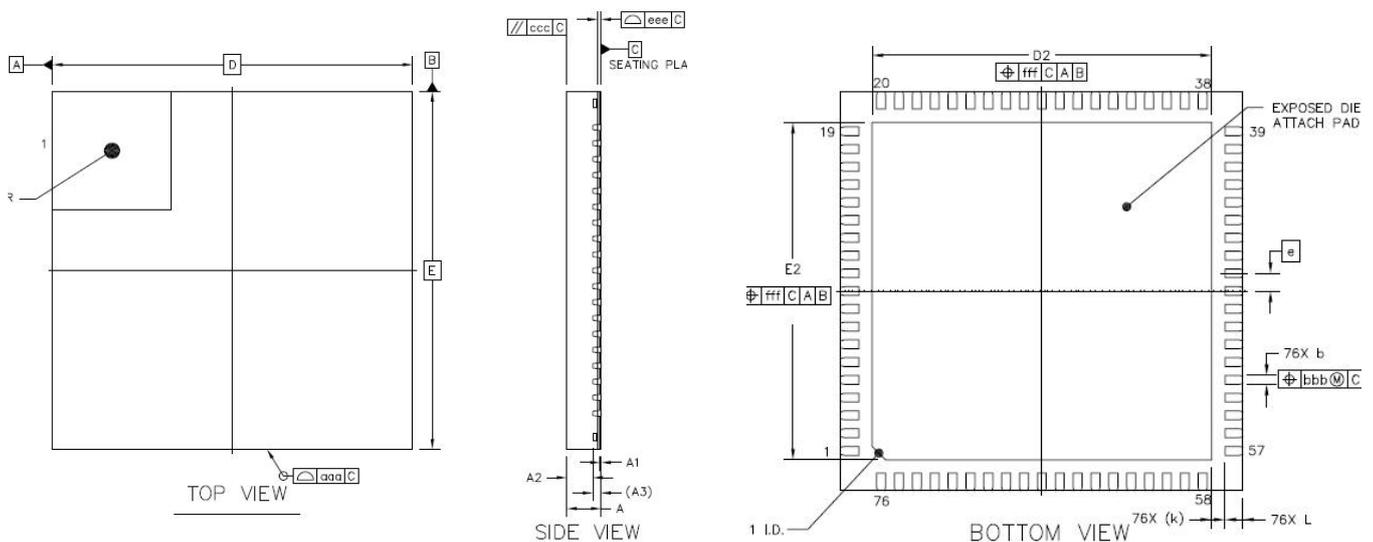
芯片采用塑封 QFN 封装，共 76 个管脚，芯片尺寸为 9×9mm。COM，ANT1，ANT2，ANT3 和 ANT4 均为射频信号端口，需要 50 欧姆传输线连接，射频信号端口不需要片外隔直电容。本芯片的电源电压为 3.3V，应用时靠近芯片 VDD33 管脚处放置 0.1uF 贴片电容到地，此外，本四通道芯片需要至少 100uF 的钽电容滤波，用来降低脉冲切换时芯片端电源电压的波动。CHIP、TR3、EN、CLK、TR1、TR2、DIN、SET、DEN、FIN、FEN、DOUT、OE、LD 为波控输入和输出端口，芯片工作时，需先给电源端口 VDD33 上电，再给波控 I/O 口控制信号。



封装方案

芯片采用 QFN76 管脚封装，尺寸为 9mm×9mm，详细尺寸信息如下图所示。

封装后芯片背面金属是整个芯片直流和交流信号的地端以及芯片主要的散热输出端，应用时需要与板上地平面有充分理想的连接以及充分良好的散热。



封装正面图、侧面图、底面图

封装尺寸

尺寸 符号	数值 (毫米)		
	最小	标称	最大
A	0.8	0.85	0.9
A1	0	0.02	0.05
A2	—	0.65	—
A3	0.203 REF		
b	0.15	0.20	0.25
D	9 BSC		
E	9 BSC		
e	0.4 BSC		
D2	7.6	7.7	7.8
E2	7.6	7.7	7.8
L	0.2	0.3	0.4
K	0.35 REF		
aaa	0.1		
ccc	0.1		
eee	0.08		
bbb	0.07		
fff	0.1		